

1117.66068

3/1/95
PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re U.S. Patent Application)

Applicant: Kai et al.)

Serial No.)

Filed: December 18, 2001)

For: LIQUID CRYSTAL)
DISPLAY DEVICE)

Art Unit:)

I hereby certify that this paper is being deposited with the United States Postal Service as EXPRESS MAIL in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231, on this date.

12-18-01
Date

David Carson
Express Mail No. EL 846222907 US

971 U.S. PTO
10/025044
12/18/01

CLAIM FOR PRIORITY

Assistant Commissioner for Patents
Washington, DC 20231

Sir:

Applicant claims foreign priority benefits under 35 U.S.C. § 119 on the basis of the foreign application identified below:

Japanese Patent Application No. 2001-101176, filed March 30, 2001.

A certified copy of the priority document is enclosed.

Respectfully submitted,

GREER, BURNS & CRAIN, LTD.

By



Patrick G. Burns
Registration No. 29,367

December 18, 2001

300 South Wacker Drive
Suite 2500
Chicago, Illinois 60606
Telephone: (312) 360-0080
Facsimile: (312) 360-9315

日 本 国 特 許 庁
JAPAN PATENT OFFICE

F0936P-VS
1117.66068
312-360-0080
1c971 U.S. Pat.
10/025044
12/18/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 3月30日

出 願 番 号

Application Number:

特願2001-101176

出 願 人

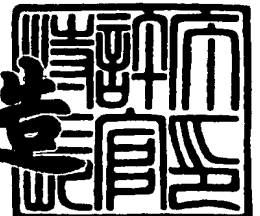
Applicant(s):

富士通株式会社

2001年11月16日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3100060

【書類名】 特許願

【整理番号】 0040915

【提出日】 平成13年 3月30日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/136

【発明の名称】 液晶表示装置

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 甲斐 勉

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 大橋 範之

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 岡崎 晋

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 張 宏勇

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100090273

 【弁理士】

【氏名又は名称】 國分 孝悦

【電話番号】 03-3590-8901

【手数料の表示】

【予納台帳番号】 035493

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908504

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置

【特許請求の範囲】

【請求項 1】 2次元マトリクス状に配線されたデータライン及び走査ラインと該データライン及び走査ライン間に接続されるスイッチング素子とを含む表示回路と、

前記データラインの一端に第1のアナログスイッチを介して検査電圧を入力及び／又は出力するための検査電圧入力及び／又は出力端子を含む第1の検査回路と、

前記データラインの他端に検査電圧を入力及び／又は出力するための検査電圧入力及び／又は出力端子を含む第2の検査回路とを有し、

前記表示回路、第1の検査回路及び第2の検査回路は1枚の基板上に設けられ、前記第1の検査回路は前記表示回路に対して切り離し可能である液晶表示装置

。 【請求項 2】 前記第1の検査回路は、制御端子がシフトレジスタに接続された第2のアナログスイッチを有し、該第2のアナログスイッチは、一端が前記第1のアナログスイッチを介して前記データラインに接続され、他端が前記検査電圧入力及び／又は出力端子に接続され、

前記第2の検査回路は、第3のアナログスイッチを有し、該第3のアナログスイッチは、一端が前記データラインの他端に接続され、他端が前記検査電圧入力及び／又は出力端子に接続される請求項1記載の液晶表示装置。

【請求項 3】 前記各走査ラインの端に検査用トランジスタを設け、その検査用トランジスタのゲート端子に走査ラインドライバを接続し、ドレイン又はソース端子に検査電圧入出力端子を接続し、ソース又はドレイン端子に容量を接続した請求項2記載の液晶表示装置。

【請求項 4】 前記第2の検査回路は第1及び第2の検査電圧入力端子を有し、前記複数の第3のアナログスイッチは交互に前記第1及び第2の検査電圧入力端子に接続され、

前記第1の検査回路は第1及び第2の検査電圧出力端子を有し、前記複数の第

2 のアナログスイッチは交互に前記第 1 及び第 2 の検査電圧出力端子に接続される請求項 2 記載の液晶表示装置。

【請求項 5】 前記第 1 の検査回路は第 1 及び第 2 の検査電圧入出力端子を有し、前記複数の第 2 のアナログスイッチは交互に前記第 1 及び第 2 の検査電圧入出力端子に接続される請求項 2 記載の液晶表示装置。

【請求項 6】 各々が画素電極を介して液晶容量に接続される複数の第 1 のスイッチング素子と、

前記第 1 のスイッチング素子にデータを供給するデータラインと、

前記第 1 のスイッチング素子を制御するための走査ラインと、

制御端子が前記データライン又は前記走査ラインに接続され、入出力端子の一端が共通の検査用入出力端子に接続され、他端が容量に接続される第 2 のスイッチング素子と

を有する液晶表示装置。

【請求項 7】 前記第 2 のスイッチング素子は、前記他端が画素電極を介して液晶容量に接続される請求項 6 記載の液晶表示装置。

【請求項 8】 前記第 2 のスイッチング素子は、制御端子が前記データラインに接続されるスイッチング素子及び制御端子が前記走査ラインに接続されるスイッチング素子を含む請求項 6 記載の液晶表示装置。

【請求項 9】 前記第 2 のスイッチング素子は、前記一端が共通の検査用入出力用端子及び前記データラインに接続される請求項 6 記載の液晶表示装置。

【請求項 10】 さらに、前記第 2 のスイッチング素子に接続される容量をリセット又はプリセットするための第 3 のスイッチング素子を有する請求項 6 記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置に関し、特にデータライン及び走査ラインに接続されたスイッチング素子を有する液晶表示装置に関する。

【0002】

【従来の技術】

図 2 6 は、従来技術による液晶表示基板の構成を示す。データドライバ（データラインドライバ）5 は、データライン 3 を介して画素領域 7 に接続される。ゲートドライバ（走査ラインドライバ）6 は、走査ライン 4 を介して画素領域 7 に接続される。データドライバ 5 は、データライン 3 にデータを供給することができる。ゲートドライバ 6 は、走査ライン 4 に走査信号を供給することができる。

【0003】

画素領域 7 は、2 次元マトリクス状に配列されたスイッチング素子（TFT：薄膜トランジスタ）1 及び液晶容量 2 を有する。TFT 1 は、n チャネル MOS トランジスタであり、ゲートが走査ライン 4 に接続され、ドレインがデータライン 3 に接続され、ソースが液晶容量 2 を介して対向基板の電極 8 に接続される。

【0004】

この液晶表示基板の検査方法は、マトリクスの各縦横ラインの端にプローブピンを当てる方法が主であり、多くのプローブピンが必要なため、検査機が高価なものになる。この検査方法では、多数のチェック端子を個別に検査するため、工数が莫大である。そのため完全な検査は、液晶表示基板をパネルとして完成状態で表示せねばならず、歩留まりを阻害する要因となっている。

【0005】

図 2 7 は、従来技術による他の液晶表示基板を示す。基板 9 0 0 上には、シフトレジスタ 9 1 1、アナログスイッチ 9 1 2、表示部 9 1 6 及びゲートドライバ 9 1 5 が設けられる。ゲートドライバ 9 1 5 は、走査ライン G 1 ～ G 4 等を介して画素領域 9 1 6 に接続され、ゲートクロック GCLK 及びゲートスタートパルス GSP に応じて、走査ライン G 1 ～ G 4 等に走査信号を供給する。

【0006】

画素領域 9 1 6 は、2 次元マトリクス状に配列された TFT 9 3 1 及び液晶容量 9 3 2 を有する。TFT 9 3 1 は、n チャネル MOS トランジスタであり、ゲートが走査ライン G 1 ～ G 4 等に接続され、ドレインがデータライン D 1, D 2 等に接続され、ソースが液晶容量 9 3 2 を介して対向基板の電極に接続される。

【0007】

アナログスイッチ912は、入出力端子の一端がデータバスV1～Vnに接続され、他端がデータラインD1、D2等に接続される。データバスV1～Vnには、検査終了後に、データドライバが接続され、データが供給される。

【0008】

シフトレジスタ911は、m段シフトが可能であり、データクロックDCLK及びデータスタートパルスDSPに応じて、制御線Q1～Qmに順次シフトされたパルスを出力する。制御線Q1～Qmは、それぞれアナログスイッチ912の制御端子に接続される。アナログスイッチ912は、制御線Q1～Qmがハイレベルになると、それぞれデータバスV1～VnとデータラインD1、D2等との間を接続する。

【0009】

この液晶表示基板の検査を行う場合には、データバスV1～Vnの端子にプローブピンを当てる必要がある。また、データバスV1～Vnの数が多くなると、液晶表示基板を高速動作させるために高温ポリシリコンを用いなければならず、液晶表示基板が高価になってしまう。

【0010】

【発明が解決しようとする課題】

本発明の目的は、検査機の多くのプローブピンを用いずに、簡単かつ短時間で検査を行うことができる液晶表示装置を提供することである。

本発明の他の目的は、安価な液晶表示装置を簡単かつ短時間で検査を行うことである。

【0011】

【課題を解決するための手段】

本発明の一観点によれば、2次元マトリクス状に配線されたデータライン及び走査ラインと該データライン及び走査ライン間に接続されるスイッチング素子とを含む表示回路と、データラインの一端に第1のアナログスイッチを介して検査電圧を入力及び／又は出力するための検査電圧入力及び／又は出力端子を含む第1の検査回路と、データラインの他端に検査電圧を入力及び／又は出力するための検査電圧入力及び／又は出力端子を含む第2の検査回路とを有する液晶表示装

置が提供される。この表示回路、第1の検査回路及び第2の検査回路は1枚の基板上に設けられ、第1の検査回路は表示回路に対して切り離し可能である。

【0012】

液晶表示基板に第1及び第2の検査回路を設けることにより、液晶表示装置をユニット化する前に、データラインの断線、データラインの隣接ショート、走査ラインの断線、隣接画素間のショート、他の信号線とのショート等の検査を行うことができる。検査終了後に第1の検査回路を切り離すことで、液晶表示基板にデータドライバを接続することが可能になり、より低コストな液晶表示装置を提供することができる。

【0013】

【発明の実施の形態】

（第1の実施形態）

図1は、本発明の第1の実施形態による液晶表示基板100を示す。第1の検査回路101、表示回路103及び第2の検査回路102は、1枚のガラス基板100上に設けられる。第1の検査回路101は、表示回路103に対して切断ライン121で切り離し可能である。第2の検査回路102は、表示回路103に対して切断ライン122で切り離し可能である。

【0014】

表示回路103は、ゲートドライバ115、画素領域116及びアナログスイッチ112を有する。ゲートドライバ115は、走査ラインG1～Gxを介して画素領域116に接続され、ゲートクロックGCLK及びゲートスタートパルスGSPに応じて、走査ラインG1～Gxに走査信号を供給する。

【0015】

画素領域116は、2次元マトリクス状に配列されたTFT131及び液晶容量132を有する。TFT131は、nチャネルMOSトランジスタであり、ゲートが走査ラインG1～Gxに接続され、ドレインがデータラインD1～D3等に接続され、ソース（画素電極）が液晶容量132を介して対向基板の電極に接続される。

【0016】

アナログスイッチ112は、入出力端子の一端がデータラインD1a～D3a等に接続され、他端がデータラインD1～D3等に接続される。ブロック選択信号線BSEL1～BSELMは、それぞれアナログスイッチ112の制御端子に接続される。アナログスイッチ112は、ブロック選択信号線BSEL1～BSELMがハイレベルになると、それぞれデータラインD1a～D3a等とデータラインD1～D3等との間を接続する。

【0017】

第1の検査回路101は、シフトレジスタ111及びアナログスイッチ113を有する。アナログスイッチ113は、入出力端子の一端が交互に信号線V1、V2に接続され、他端がデータラインD1a～D3a等に接続される。シフトレジスタ111は、n段シフトが可能であり、図2に示すように、データクロックDCLK及びデータスタートパルスDSPに応じて、制御線Q1～Qnに順次シフトされたパルスを出力する。制御線Q1～Qnは、それぞれアナログスイッチ113の制御端子に接続される。アナログスイッチ113は、制御線Q1～Qnがハイレベルになると、それぞれ信号線V1、V2とデータラインD1a～D3a等との間を接続する。

【0018】

第2の検査回路102は、アナログスイッチ114を有する。アナログスイッチ114は、入出力端子の一端がデータラインD1～D3等に接続され、他端が信号線V3に接続される。制御線ON4は、アナログスイッチ114の制御端子に接続される。アナログスイッチ114は、制御線ON4がハイレベルになると、それぞれデータラインD1～D3等と信号線V3との間を接続する。

【0019】

図2に示すように、制御線ON4がハイレベルの間に、ブロック選択信号線BSEL1～BSELMには順にパルスが出力される。各ブロック選択信号線BSEL1～BSELMがハイレベルの間、制御線Q1～Qnには順にパルスが出力される。

【0020】

まず、信号線V3に検査信号を入力する。制御線ON4がハイレベルになると

、アナログスイッチ114がオンし、データラインD1～D3と信号線V3との間を接続する。ブロック選択信号線BSEL1がハイレベルになると、左から1ブロック目のn個のアナログスイッチ112がオンし、データラインD1a～D3a等とデータラインD1～D3等との間を接続する。制御線Q1がハイレベルになると、左端のアナログスイッチ113がオンし、信号線V1とデータラインD1aとの間を接続する。同様に、制御線Q2～Qnが順にハイレベルになる。

【0021】

信号線V1及びV2の出力を検出することにより、検査を行うことができる。制御線Q1がハイレベルになったとき、信号線V3に入力した検査信号が信号線V1から検出できればデータラインD1及びD1aが断線していないことを確認でき、信号線V1が開放状態であればデータラインD1又はD1aが断線していることを確認することができる。また、制御線Q2がハイレベルになったとき、信号線V3に入力した検査信号が信号線V2から検出できればデータラインD2及びD2aが断線しておらず、信号線V2が開放状態であればデータラインD2又はD2aが断線していることを確認することができる。同様にして、他のデータラインD3及びD3a等の断線があるか否かを確認することができる。本実施形態によれば、上記の断線を不良個所として検出することができる。

【0022】

次に、他の検査方法を説明する。図3に示すように、ブロック選択信号線BSEL1～BSELMをローレベルにして、アナログスイッチ112をオフにする。そして、スタートパルスSSPの周期をクロックCLKの周期の2倍にする。すると、制御線Q1及びQ2が共にハイレベルになる期間がある。その期間で、信号線V1から検査信号を入力し、信号線V2の出力を検出する。信号線V1に入力した検査信号が信号線V2から検出されれば、データラインD1a及びD2aの間がショートしていることを確認することができ、信号線V2が開放状態であればデータラインD1a及びD2aの間がショートしていないことを確認することができる。また、制御線Q2及びQ3が共にハイレベルになる期間に、同様に、データラインD2a及びD3aの間のショートの有無を確認することができる。同様に、他の隣接するデータラインの間のショートを確認することができ

る。本実施形態によれば、上記のショートを不良個所として検出することができる。

【0023】

本実施形態は、シフトレジスタ111が1つの場合を説明したが、シフトレジスタ111を2つ以上設けても良い。また、第1の検査回路101に2本の信号線V1、V2を設けたが、断線検査のみを行う場合には1本の信号線だけでもよい。また、2本の信号線V1、V2の数を増やすことにより、シフトレジスタ111のシフト段数を減少させることができ、アナログスイッチ112とアナログスイッチ113との間のデータラインD1a～D3a等のショートを隣接でないデータライン間でも確認することができる。また、信号線V2に電源やグランド、その他の信号線の信号が検出された場合には電源等とのショートであることも確認できる。

【0024】

検査後、第1の検査回路101及び第2の検査回路102を切断ライン121及び122で表示回路102から切り離す。その後、図4に示すように、液晶表示装置をユニット化する際に、表示回路103のデータラインD1a～D3a等にデータドライバ401の出力線Q1～Qnを接続する。データドライバ401は、クロックDCLK、スタートパルスDSP、ラッチパルスLP及びデータR、G、Bを入力して、出力線Q1～Qnからデータを出力する。これにより、液晶表示装置は、通常の動作を行うことができる。

【0025】

また、第2の検査回路102は、必ずしも表示回路103から切り離す必要はない。第2の検査回路102を切り離さない場合には、通常動作時にアナログスイッチ114を常にオフにすればよい。また、通常動作時に、第2の検査回路102をプリチャージ機能として使用することができる。すなわち、データドライバ401の出力線Q1～Qnにデータを出力する前に、第2の検査回路102の信号線V3に所定の電圧を入力することにより、データラインD1等をプリチャージすることができる。

【0026】

本実施形態は、図 2 7 の従来技術による液晶表示基板に比べて、高速動作させなくても表示可能であるので、低温ポリシリコンを用いて安価な液晶表示基板を製造することができる。

【 0 0 2 7 】

(第 2 の実施形態)

図 5 は、本発明の第 2 の実施形態による液晶表示基板 1 0 0 を示す。第 2 の実施形態は、第 1 の実施形態に対して、第 2 の検査回路が表示回路 1 0 3 に含まれ、アナログスイッチ 1 1 4 の入出力端子の他端には交互に信号線 V 3 及び V 4 が接続される点が異なり、他の点は同じである。

【 0 0 2 8 】

信号線 V 3 及び V 4 に異なる検査信号を入力し、第 1 の実施形態と同様に、図 3 のタイミングで動作させる。この際、例えば、データライン D 1 及び D 2 の間がショートしている場合、又はデータライン D 1 a 及び D 2 a の間がショートしている場合には、信号線 V 1 及び V 2 から同じ信号が検出される。一方、データライン D 1 及び D 2 の間がショートしておらず、かつデータライン D 1 a 及び D 2 a の間がショートしていない場合には、信号線 V 3 から入力された検査信号が信号線 V 1 から検出され、信号線 V 4 から入力された検査信号が信号線 V 2 から検出される。このように、隣接するデータライン間のショートの有無を確認することができる。

【 0 0 2 9 】

また、通常動作時に、信号線 V 3 及び V 4 をプリチャージ機能として使用することができる。データライン D 1 ~ D 3 等は、画像のちらつき防止等のため、偶数ラインと奇数ラインとで、データの正負極性を逆にすることが好ましい。この際、データドライバ 4 0 1 の出力線 Q 1 ~ Q n にデータを出力する前に、信号線 V 3 及び V 4 に逆極性の電圧を入力することにより、データライン D 1 ~ D 3 等をプリチャージすることができる。

【 0 0 3 0 】

(第 3 の実施形態)

図 6 は、本発明の第 3 の実施形態による液晶表示基板 1 0 0 を示す。第 3 の実

施形態は、第2の実施形態に対して、 n チャネルMOSトランジスタ601及び容量（コンデンサ）602を設けた点が異なり、他の点は同じである。

【0031】

トランジスタ601は、ゲートがそれぞれ走査ライン $G_1 \sim G_x$ に接続され、ドレインが共通の信号線 V_{mon} に接続され、ソースが容量602を介して所定の共通電圧端子に接続される。

【0032】

図7は、検査方法を示すタイミングチャートである。ゲートドライバ115は、クロック $GCLK$ 及びスタートパルス GSP に応じて、走査ライン $G_1 \sim G_x$ に順に走査信号を出力する。その間の期間701では、信号線 V_{mon} に検査電圧 V_a を入力する。トランジスタ601は、走査ライン $G_1 \sim G_x$ がそれぞれハイレベルになるとオンし、検査電圧 V_a を容量602に蓄積する。

【0033】

次に、再び、スタートパルス GSP を入力し、走査ライン $G_1 \sim G_x$ に順次走査信号を出力する。その間の期間702に、信号線 V_{mon} の出力を検出する。各走査ライン $G_1 \sim G_x$ がハイレベルのときに、信号線 V_{mon} から検査電圧 V_a が検出されれば、すべての走査ライン $G_1 \sim G_x$ が断線していないことを確認することができる。一方、期間702内で、信号線 V_{mon} から検査電圧 V_a が検出されない期間があれば、その期間に対応する走査ラインが断線していることを確認することができる。本実施形態によれば、走査ライン $G_1 \sim G_x$ の断線を欠陥箇所として検出することができる。

【0034】

図8は、上記の検査の後に行う他の検査方法のタイミングチャートである。クロック $GCLK$ 、スタートパルス GSP 、走査ライン $G_1 \sim G_x$ は、図7と同様である。期間801及び802は、それぞれ走査ライン G_1 及び G_2 がハイレベルである期間である。その期間801及び802内に、それぞれ図9に示す処理を行う。他の走査ライン $G_3 \sim G_x$ がハイレベルになる期間でも、同様に、図9に示すタイミングで処理を行う。

【0035】

図9では、クロックSCLK、スタートパルスSSP及び制御線Q1～Qnは、図3と同じである。制御線ON4がハイレベルの間、ブロック選択信号線BSEL1～BSELMは、順次ハイレベルになる。各ブロック選択信号線BSEL1～BSELMがそれぞれハイレベルの間に、制御線Q1～Qnが順次ハイレベルになる。

【0036】

例えば、図8に示すように走査ラインG1がハイレベルの間に、図9に示すように制御線Q1及びQ2が共にハイレベルになる。アナログスイッチ113は、信号線V1とデータラインD1aとの間を接続し、信号線V2とデータラインD2aとの間を接続する。その時、ブロック選択信号線BSEL1はハイレベルであるので、アナログスイッチ112はデータラインD1a及びD1の間を接続し、データラインD2a及びD2の間を接続する。制御線ON4はハイレベルであるので、アナログスイッチ114は、データラインD1及び信号線V3の間を接続し、データラインD2及び信号線V4の間を接続する。

【0037】

第2の実施形態と同様に、信号線V3及びV4に異なる検査信号を入力する。ラインG1及びD1との間がショートしておらず、かつラインG2及びD2との間がショートしていなければ、信号線V3及びV4に入力した検査信号はそれぞれ信号線V1及びV2から検出することができる。一方、ラインG1及びD1の間又はラインG2及びD2の間がショートしていれば、信号線V1及びV2からは走査ラインG1又G2の影響を受けた電圧が検出される。この際、隣接画素間のショートの有無も確認することができる。本実施形態によれば、走査ライン及びデータラインの間のショート及び隣接画素間のショートの欠陥を検出することができる。

【0038】

上記の検査により、液晶表示基板の線欠陥を検査することができる。その後、表示回路103の各TFT（スイッチング素子）131に対応する画素の点欠陥を検査する。これにより、線欠陥及び点欠陥の両方の検査を行うことができる。

【0039】

以上説明したように、第1～第3の実施形態によれば、液晶表示基板に表示回路と共に第1及び第2の検査回路を設けることにより、液晶表示装置をユニット化する前に、データラインの断線、データラインの隣接ショート、アナログスイッチ112とアナログスイッチ113との間のデータラインのショート、走査ラインの断線、隣接画素間のショート、他の信号線とのショート等の欠陥の有無を検査することができる。検査終了後に、第1の検査回路101を切り離すことで、表示回路103にデータドライバ401を接続することが可能になり、より低コストな液晶表示装置を提供することができる。

【0040】

(第4の実施形態)

図10は、本発明の第4の実施形態による液晶表示基板を示す。画素領域7において、TFT（nチャネルMOSトランジスタ）1は、ゲートが走査ライン4に接続され、ドレインがデータライン3に接続され、ソース（画素電極）が液晶容量2を介して対向基板の電極8に接続される。画素領域7とゲートドライバ6との間、及び画素領域7とデータドライバ5との間に、検査用スイッチング素子（nチャネルMOSトランジスタ）9が設けられる。この検査用スイッチング素子9のゲートは、走査ライン4又はデータライン3に接続される。スイッチング素子9は、ソースが容量30を介してグランドに接続され、ドレインがバッファ31又は32を介して共通の検査端子10に接続される。バッファ31及び32は、双方向スイッチを構成する。バッファ31の制御端子は、直接、端子34に接続される。バッファ32の制御端子は、インバータ33を介して端子34に接続される。コントローラ35が端子34にハイレベルを入力すれば検査端子10は入力端子になり、端子34にローレベルを入力すれば検査端子10は出力端子になる。

【0041】

データドライバ5は、データライン3にデータを供給するためのデータ供給回路であり、アナログスイッチでもよい。ゲートドライバ6は、走査ライン4に走査信号を供給することができる。

【0042】

次に、検査方法を説明する。まず、ゲートドライバ6又はデータドライバ5が検査用スイッチング素子9をオンする信号を出力する。検査用スイッチング素子9がオンしている期間に、コントローラ35が検査端子10に検査信号を入力し、容量30に充電（プリセット）する。再度、検査用スイッチング素子9をオンさせ、検査端子10から容量30に充電している電圧を検出する。検査電圧が検出できれば、ゲートドライバ6又はデータドライバ5が正常に駆動しており、かつゲートドライバ6又はデータドライバ5から画素領域7までの走査ライン4又はデータライン3の断線が無く合格であると判断できる。この検査を、走査ライン4及びデータライン3についてそれぞれ第1ラインから最終ラインまで繰り返すことで、ゲートドライバ6及びデータドライバ5の故障、並びに走査ライン4及びデータライン3の断線個所と断線本数を検査できる。

【0043】

本実施形態では、検査用スイッチング素子9を画素領域7の入力側（左及び上側）に配置しているが、出力側（右及び下側）に配置してもよい。出力側に配置した場合、画素領域7内での走査ライン4及びデータライン3の断線も検査できる。上記の容量30は、各検査用スイッチング素子9毎に別々に設けてもよいし、1つの容量30を複数の検査用スイッチング素子9で共用してもよい。また、各検査用スイッチング素子9毎の容量30を並列に接続してもよい。

【0044】

（第5の実施形態）

図11は、本発明の第5の実施形態による液晶表示基板を示す。第5の実施形態は、第4の実施形態に対して、リセットスイッチ（nチャネルMOSトランジスタ）11を設けた点が異なり、他の点は同じである。リセットスイッチ11は、ゲートがオン／オフ信号端子12に接続され、ドレインがリセットデータ入力端子13に接続され、ソースが検査用スイッチング素子9の各ソースに接続される。

【0045】

検査を行うには、まず、オン／オフ信号端子12をハイレベルにすることによりリセットスイッチ11をオンし、リセットデータ入力端子13をグランドレベ

ルにして容量 3 0 のチャージを無くす。その後、第 4 の実施形態に示した検査を行う。容量 3 0 をリセットすることにより、適切な検査電圧の検出が可能になり、検査精度が向上する。

【 0 0 4 6 】

(第 6 の実施形態)

図 1 2 は、本発明の第 6 の実施形態による液晶表示基板を示す。第 6 の実施形態が第 5 の実施形態に対して異なる点を説明する。検査用スイッチング素子 9 が画素領域 7 の上及び左だけでなく、右及び下にも設けられる。すなわち、検査用スイッチング素子 9 は、ゲートドライバ 6 に対して画素領域 7 の出力端、及びデータドライバ 5 に対して画素領域 7 の出力端に設けられる。検査用スイッチング素子 9 は、上記と同様に、ゲートが走査ライン 4 又はデータライン 3 に接続され、ドレインがバッファ 3 1 又は 3 2 を介して検査端子 1 0 に接続され、ソースが容量 3 0 を介してグランドに接続される。リセットデータ入力端子 1 3 は、リセットスイッチ 1 1 を介して検査用スイッチング素子 9 のソースに接続される。

【 0 0 4 7 】

第 5 の実施形態と同様な検査を行う。画素領域 7 の入力側（左及び上側）において、容量 3 0 に蓄積されている電荷が正常に検査端子 1 0 から検出できれば、ゲートドライバ 6 及びデータドライバ 5 が正常駆動しており、かつゲートドライバ 6 又はデータドライバ 5 から画素領域 7 までの走査ライン 4 及びデータライン 3 の断線が無く合格であると判断できる。

【 0 0 4 8 】

また、画素領域 7 の出力側（右及び下側）において、容量 3 0 に蓄積されている電荷が正常に検査端子 1 0 から検出できれば、画素領域 7 内での走査ライン 4 及びデータライン 3 の断線が無く合格であると判断できる。

【 0 0 4 9 】

この検査を、ゲートドライバ 6 及びデータドライバ 5 の第 1 ラインから最終ラインまで繰り返すことで、ゲートドライバ 6 及び／又はデータドライバ 5 の故障、並びに走査ライン 4 及び／又はデータライン 3 の断線個所と本数を検査できる。

【0050】

(第7の実施形態)

図13は、本発明の第7の実施形態による液晶表示基板を示す。第7の実施形態は、第4の実施形態(図10)における検査用スイッチング素子9が検査画素15である場合を示す。すなわち、検査用スイッチング素子9は、画素領域7内のTFT1と同様のTFTである。検査用スイッチング素子9のソース(画素電極)は、液晶容量2を介して対向基板の電極8に接続される。

【0051】

第4～第6の実施形態では容量30に検査電圧を充電したが、本実施形態では液晶容量2に検査電圧を充電する。液晶容量2は、容量30に比べて蓄積可能容量が大きいため、検査時の判断が容易である。検査後の通常動作時には、検査画素15に黒色のデータを書き込むが、コントラスト低下の原因となるので、予め検査画素15を遮光しておくのが好ましい。

【0052】

(第8の実施形態)

図14は、本発明の第8の実施形態による液晶表示基板を示す。第8の実施形態が第7の実施形態に対して異なる点を説明する。第6の実施形態(図12)と同様に、検査画素15である検査用スイッチング素子9が画素領域7の入力側(上及び左側)だけでなく、出力側(右及び下側)にも設けられる。

【0053】

画素領域7の入力側(左及び上側)において、液晶容量2に蓄積されている電荷が正常に検査端子10から検出できれば、ゲートドライバ6及びデータドライバ5が正常駆動しており、かつゲートドライバ6又はデータドライバ5から画素領域7までの走査ライン4及びデータライン3の断線が無く合格であると判断できる。

【0054】

また、画素領域7の出力側(右及び下側)において、液晶容量2に蓄積されている電荷が正常に検査端子10から検出できれば、画素領域7内での走査ライン4及びデータライン3の断線が無く合格であると判断できる。

【0055】

(第9の実施形態)

図15は、本発明の第9の実施形態による液晶表示基板を示す。第9の実施形態は、第7の実施形態に対して、第5の実施形態(図11)と同様にリセットスイッチ(nチャネルMOSトランジスタ)11を設けた点が異なり、他の点は同じである。リセットスイッチ11は、ゲートがオン/オフ信号端子12に接続され、ドレインがリセットデータ入力端子13に接続され、ソースが検査画素である検査用スイッチング素子9の各ソースに接続される。

【0056】

検査を行うには、まず、オン/オフ信号端子12をハイレベルにすることによりリセットスイッチ11をオンし、リセットデータ入力端子13をグランドレベルにして液晶容量2のチャージを無くす。その後、第4の実施形態に示した検査を行う。液晶容量2をリセットすることにより、検査精度を向上させることができる。

【0057】

(第10の実施形態)

図16は、本発明の第10の実施形態による液晶表示基板を示す。第10の実施形態は、第8の実施形態(図14)に対して、第9の実施形態(図15)と同様にリセットスイッチ(nチャネルMOSトランジスタ)11を設けた点が異なり、他の点は同じである。検査を行うには、まず、オン/オフ信号端子12をハイレベルにすることによりリセットスイッチ11をオンし、リセットデータ入力端子13をグランドレベルにして液晶容量2のチャージを無くす。その後、第4の実施形態に示した検査を行う。

【0058】

(第11の実施形態)

図17は、本発明の第11の実施形態による液晶表示基板を示す。第11の実施形態が第9の実施形態(図15)に対して異なる点を説明する。画素領域7とゲートドライバ6の間、及び画素領域7とデータドライバ5の間に、検査画素15である検査用スイッチング素子9を設ける。この検査用スイッチング素子9は

、ゲートが走査ライン4又はデータライン3に接続され、ドレインがデータライン3又は走査ライン4に接続され、ソースが液晶容量2を介して対向基板の電極8に接続される。すなわち、検査用スイッチング素子9は、ゲートに走査ライン4が接続されればドレインにデータライン3が接続され、ゲートにデータライン3が接続されればドレインに走査ライン4が接続される。

【 0 0 5 9 】

検査画素15である検査用スイッチング素子9のソースには、リセットスイッチ11を介してリセットデータ入力端子13が接続され、検査スイッチ16を介して検査端子17が接続される。この検査スイッチ16は第9の実施形態(図15)のバッファ31に相当し、検査端子17は第9の実施形態の検査端子10に相当する。

【 0 0 6 0 】

リセットスイッチ11は、第9の実施形態と異なり、CMOS構成であり、nチャネルMOSトランジスタ11a及びpチャネルMOSトランジスタ11bのソース及びドレインを相互に接続したものである。端子44は、インバータ43を介してトランジスタ11bのゲートに接続されると共に、直接、トランジスタ11aのゲートに接続される。端子44をハイレベルにするとリセットスイッチ11はオンし、ローレベルにするとリセットスイッチ11はオフする。

【 0 0 6 1 】

検査スイッチ16は、CMOS構成であり、nチャネルMOSトランジスタ16a及びpチャネルMOSトランジスタ16bのソース及びドレインを相互に接続したものである。端子42は、インバータ41を介してトランジスタ16bのゲートに接続されると共に、直接、トランジスタ16aのゲートに接続される。端子42をハイレベルにすると検査スイッチ16はオンし、ローレベルにすると検査スイッチ16はオフする。

【 0 0 6 2 】

次に、検査方法を説明する。まず、リセットスイッチ11をオンし、リセットデータ入力端子13を0Vにして液晶容量2のチャージを無くす。次に、ゲートドライバ6又はデータドライバ5から検査画素15である検査用スイッチング素

子9の液晶容量2にデータを書き込む。次に、検査スイッチ16をオンして、液晶容量2に書き込まれたデータを検査端子17から読み出す。書き込みデータを検出できれば、ゲートドライバ6又はデータドライバ5が正常に駆動しており、かつゲートドライバ6又はデータドライバ5から画素領域7までの走査ライン4及びデータライン3の断線が無く合格であると判断できる。この検査を、ゲートドライバ6及びデータドライバ5の第1ラインから最終ラインまで繰り返すことで、ゲートドライバ6及び／又はデータドライバ5の故障、並びに走査ライン4及び／又はデータライン3の断線個所と本数を検査できる。

【0063】

なお、液晶容量2のリセット及び検査電圧のプリセットは、データドライバ5からデータを供給することにより行ってもよい。

【0064】

(第12の実施形態)

図18は、本発明の第12の実施形態による液晶表示基板を示す。第12の実施形態が第11の実施形態に対して異なる点を説明する。第8の実施形態(図14)と同様に、検査画素15である検査用スイッチング素子9が画素領域7の入力側(上及び左側)だけでなく、出力側(右及び下側)にも設けられる。

【0065】

画素領域7の入力側(左及び上側)において、液晶容量2に蓄積されている電荷が正常に検査端子17から検出できれば、ゲートドライバ6及びデータドライバ5が正常駆動しており、かつゲートドライバ6又はデータドライバ5から画素領域7までの走査ライン4及びデータライン3の断線が無く合格であると判断できる。

【0066】

また、画素領域7の出力側(右及び下側)において、液晶容量2に蓄積されている電荷が正常に検査端子17から検出できれば、画素領域7内での走査ライン4及びデータライン3の断線が無く合格であると判断できる。

【0067】

なお、液晶容量2のリセット及び検査電圧のプリセットは、ゲートドライバ6

又はデータドライバ5からデータを書き込むことにより行ってもよい。

【0068】

(第13の実施形態)

図19は、本発明の第13の実施形態による液晶表示基板を示す。第13の実施形態が第10の実施形態(図16)に対して異なる点を説明する。第10の実施形態では、画素領域7の上下左右の4領域の検査用スイッチング素子9群に対してそれぞれ別に検査端子10を設けているが、第13の実施形態では、画素領域7の左及び下の2領域の検査用スイッチング素子9群に共通の検査端子10を設け、画素領域7の上及び右の2領域の検査用スイッチング素子9群に共通の検査端子10を設けている。本実施形態によれば、2領域のスイッチング素子9群を各1つの検査端子10及びリセットデータ入力端子13でコントロールすることができる。

【0069】

(第14の実施形態)

図20は、本発明の第14の実施形態による液晶表示基板を示す。第14の実施形態が第13の実施形態(図19)に対して異なる点を説明する。第13の実施形態では、画素領域7の左及び下の2領域の検査用スイッチング素子9群、及び画素領域7の上及び右の2領域の検査用スイッチング素子9群にそれぞれ共通の検査端子10及びリセットデータ入力端子13を設けている。第14の実施形態では、画素領域7の上下左右の4領域の検査用スイッチング素子9群に対して共通の検査端子10及びリセットデータ入力端子13を設けている。本実施形態によれば、4領域のスイッチング素子9群を1つの検査端子10及びリセットデータ入力端子13でコントロールすることができる。

【0070】

(第15の実施形態)

図21は、本発明の第15の実施形態による液晶表示基板を示す。画素領域7において、TFT1は、ゲートが走査ライン4に接続され、ドレインがデータライン3に接続され、ソース(画素電極)が液晶容量2を介して対向基板の電極8に接続される。ゲートドライバ6は走査ライン4に走査信号を出力し、データド

ライバ5はデータライン3にデータを出力する。

【0071】

本実施形態では、画素領域7内の左端の縦1列のTFT1aを検査用スイッチング素子として用いる。TFT1aのソースには、液晶容量2aを介して対向基板の電極8が接続される。データドライバ5に接続される左端のデータライン3には、第11の実施形態（図17）と同様に、リセットスイッチ11を介してリセットデータ入力端子13が接続され、検査スイッチ16を介して検査端子17が接続される。

【0072】

検査方法を説明する。第11の実施形態と同様に、リセットスイッチ11により、液晶容量2aのチャージをなくす。次に、ゲートドライバ6から検査する画素のTFT1aをオンする。TFT1aがオンしている期間に、データドライバ5から電圧を供給し、液晶容量2aに充電する。次に、検査スイッチ16を開き、液晶容量2aに蓄積されている電圧を検査端子17から検出する。この時、電圧が検出できれば、ゲートドライバ6とデータドライバ5が正常駆動しており、かつゲートドライバ6又はデータドライバ5からTFT1aまでの走査ライン4及びデータライン3の断線が無く合格であると判断できる。

【0073】

なお、リセットデータ入力端子13から液晶容量2aをリセットする代わりに、データドライバ5からリセットしても良い。

【0074】

（第16の実施形態）

図22は、本発明の第16の実施形態による液晶表示基板を示す。第16の実施形態が第15の実施形態（図21）に対して異なる点を説明する。画素領域7内の左端（入力端）のTFT1a群の他に、右端（出力端）のTFT1b群を検査用スイッチング素子として用いる。TFT1bのソースは、液晶容量2bを介して対向基板の電極8に接続される。

【0075】

データドライバ5の左端のデータライン3の他に、右端のデータライン3にも

、検査スイッチ 1 6 を介して検査端子 1 7 が接続され、リセットスイッチ 1 1 を介してリセットデータ入力端子 1 3 が接続される。

【 0 0 7 6 】

検査方法を説明する。第 1 5 の実施形態と同様に、リセットスイッチ 1 1 により、液晶容量 2 a 又は 2 b のチャージをなくす。次に、ゲートドライバ 6 から検査する画素の TFT 1 a 及び 1 b をオンする。TFT 1 a 及び 1 b がオンしている期間に、データドライバ 5 から電圧を供給し、液晶容量 2 a 及び 2 b に充電する。次に、検査スイッチ 1 6 を開き、液晶容量 2 a 及び 2 b に蓄積されている電圧を各検査端子 1 7 から検出する。これにより、画素領域 7 内の走査ライン 4 の断線の検査も行うことができる。

【 0 0 7 7 】

(第 1 7 の実施形態)

図 2 3 は、本発明の第 1 7 の実施形態による液晶表示装置を示す。第 1 7 の実施形態は、第 1 1 の実施形態の液晶表示基板を用いた液晶表示装置である。基板 5 1 には、検査用スイッチング素子 9、容量 3 0、及び画素領域 7 が設けられる。対向基板 5 2 には、共通電極 8 が設けられる。基板 5 1 と対向基板 5 2 は、その間に液晶（容量 2）を挟んで、封止部 2 0 で封止される。封止部 2 0 は、画素領域 7 と検査用スイッチング素子 9 との間に設けられる。検査用スイッチング素子 9 に接続される容量 3 0 は、封止部 2 0 の外にあるので、液晶を用いることができず、液晶容量ではなく、新たに形成した容量である。

【 0 0 7 8 】

(第 1 8 の実施形態)

図 2 4 は、本発明の第 1 8 の実施形態による液晶表示装置を示す。第 1 8 の実施形態が第 1 7 の実施形態（図 2 3）に対して異なる点を説明する。基板 5 3 には、共通電極 8 を除く上記の全ての素子が設けられる。対向基板 5 4 には、共通電極 8 が設けられる。基板 5 3 と対向基板 5 4 は、その間に液晶（容量 2）を挟んで、封止部 2 0 で封止される。封止部 2 0 は、液晶表示装置の外周に設けられる。検査用スイッチング素子 9 は、封止部 2 0 の内側にあるので、検査用スイッチング素子 9 として検査画素が用いられる。この検査用スイッチング素子 9 のソ

ースは、液晶容量2を介して対向基板の電極8に接続される。

【0079】

第17の実施形態（図23）の場合、封止部20の外側にゲートドライバ6、データドライバ5、及び検査用スイッチング素子9が設けられるので、腐食やその他の外的要因による破損の危険があるが、第18の実施形態では、ゲートドライバ6、データドライバ5、及び検査用スイッチング素子9が封止部20の内側にあるので、それらを保護することができる。また、第17の実施形態では、検査用容量30の蓄積可能容量が小さくなってしまいが、第18の実施形態では、液晶を用いるので、液晶容量2の蓄積可能容量を大きくすることができる。

【0080】

（第19の実施形態）

図25は、本発明の第19の実施形態による液晶表示装置を示す。第19の実施形態が第18の実施形態（図24）に対して異なる点を説明する。基板54のうち、画素領域7を除く部分に遮光領域（ブラックマトリクス）21を設ける。

【0081】

検査画素15（検査用スイッチング素子9）は、通常動作時には邪魔な存在となるので、通常動作時は検査画素15に黒色のデータを書き込み、表示していない状態にする。しかし、検査画素15を完全な黒表示にすることは困難であり、少なからずコントラスト低下の原因となる。本実施形態のように、検査画素15を覆う部分に遮光領域21を設けることにより、検査画素15の完全な黒表示が可能になり、コントラスト低下を防止することができる。

【0082】

遮光の方法はプロセスにより遮光膜を形成する方法が好ましい。この方法は、遮光精度が高い。その他に、機械構造的な遮光方法（遮光テープやベゼル等）がある。

【0083】

第1～第19の実施形態によれば、液晶表示基板の状態で容易に検査の合否判定を行うことができるため、従来の検査方法に比べ時間が短縮できると共に、パネル化試験による付帯部材の廃棄が不要となるためコストダウンできる。

【 0 0 8 4 】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

【 0 0 8 5 】

本発明は、以下の種々の実施形態に適用することができる。

(付記 1) 2次元マトリクス状に配線されたデータライン及び走査ラインと該データライン及び走査ライン間に接続されるスイッチング素子とを含む表示回路と、

前記データラインの一端に第 1 のアナログスイッチを介して検査電圧を入力及び／又は出力するための検査電圧入力及び／又は出力端子を含む第 1 の検査回路と、

前記データラインの他端に検査電圧を入力及び／又は出力するための検査電圧入力及び／又は出力端子を含む第 2 の検査回路とを有し、

前記表示回路、第 1 の検査回路及び第 2 の検査回路は 1 枚の基板上に設けられ、前記第 1 の検査回路は前記表示回路に対して切り離し可能である液晶表示装置

。

(付記 2) 前記第 1 及び第 2 の検査回路は、前記表示回路に対して切り離し可能である付記 1 記載の液晶表示装置。

(付記 3) 前記第 1 の検査回路は、制御端子がシフトレジスタに接続された第 2 のアナログスイッチを有し、該第 2 のアナログスイッチは、一端が前記第 1 のアナログスイッチを介して前記データラインに接続され、他端が前記検査電圧入力及び／又は出力端子に接続され、

前記第 2 の検査回路は、第 3 のアナログスイッチを有し、該第 3 のアナログスイッチは、一端が前記データラインの他端に接続され、他端が前記検査電圧入力及び／又は出力端子に接続される付記 1 記載の液晶表示装置。

(付記 4) 前記各走査ラインの端に検査用トランジスタを設け、その検査用トランジスタのゲート端子に走査ラインドライバを接続し、ドレイン又はソー

ス端子に検査電圧入出力端子を接続し、ソース又はドレイン端子に容量を接続した付記 3 記載の液晶表示装置。

(付記 5) 前記第 1 の検査回路のシフトレジスタが前記第 2 のアナログスイッチをオンし、前記第 2 の検査回路の検査電圧入力端子から入力した検査電圧を、前記第 1 の検査回路の検査電圧出力端子から確認することにより、前記データラインの断線又は短絡を検査することができる付記 3 記載の液晶表示装置。

(付記 6) 前記第 2 の検査回路は第 1 及び第 2 の検査電圧入力端子を有し、前記複数の第 3 のアナログスイッチは交互に前記第 1 及び第 2 の検査電圧入力端子に接続され、

前記第 1 の検査回路は第 1 及び第 2 の検査電圧出力端子を有し、前記複数の第 2 のアナログスイッチは交互に前記第 1 及び第 2 の検査電圧出力端子に接続される付記 3 記載の液晶表示装置。

(付記 7) 前記第 1 の検査回路の第 1 及び第 2 の検査電圧出力端子は、前記第 2 の検査回路の第 1 及び第 2 の検査電圧入力端子から入力された検査電圧の出力を確認することにより、前記データラインが断線又は短絡しているか否かを確認することができる付記 6 記載の液晶表示装置。

(付記 8) 前記第 2 の検査回路の第 1 及び第 2 の検査電圧入力端子には異なる検査電圧が入力される付記 7 記載の液晶表示装置。

(付記 9) 前記第 1 の検査回路は第 1 及び第 2 の検査電圧入出力端子を有し、前記複数の第 2 のアナログスイッチは交互に前記第 1 及び第 2 の検査電圧入出力端子に接続される付記 3 記載の液晶表示装置。

(付記 10) 前記第 1 の検査回路は、前記第 1 のアナログスイッチがオフしているときに、前記第 1 の検査電圧入出力端子から入力した検査電圧が前記第 2 の検査電圧入出力端子から出力されるか否かを確認することにより、前記第 1 及び第 2 のアナログスイッチ間を接続する線の間の短絡を確認することができる付記 9 記載の液晶表示装置。

(付記 11) 前記検査用トランジスタは、前記検査電圧入出力端子を介してドレイン又はソース端子に検査電圧を入力し、前記走査ラインドライバにより前記検査用トランジスタをオンしたときに、ソース又はドレイン端子に接続され

た容量に前記検査電圧を充電し、再度前記走査ラインドライバにより前記検査用トランジスタをオンしたときに、前記容量に充電されている検査電圧を前記検査電圧入出力端子から確認するためのものである付記4記載の液晶表示装置。

(付記12) 付記3記載の液晶表示装置の検査方法であって、

(a) 前記第1～第3のアナログスイッチをオンさせるステップと、

(b) 前記第2の検査回路の検査電圧入力端子から入力した検査電圧を、前記第1の検査回路の検査電圧出力端子から確認することにより、前記データラインの断線又は短絡を検査するステップと

を有する液晶表示装置の検査方法。

(付記13) 付記6記載の液晶表示装置の検査方法であって、

(a) 前記第2の検査回路の第1及び第2の検査電圧入力端子と前記第1の検査回路の第1及び第2の検査電圧出力端子とをそれぞれ接続するために前記第1～第3のアナログスイッチをオンするステップと、

(b) 前記第1の検査回路の第1及び第2の検査電圧出力端子は、前記第2の検査回路の第1及び第2の検査電圧入力端子から入力された検査電圧が前記第1の検査回路の第1及び第2の検査電圧出力端子から出力されるか否かを確認することにより、前記データラインが断線又は短絡しているか否かを確認するステップと

を有する液晶表示装置の検査方法。

(付記14) 付記9記載の液晶表示装置の検査方法であって、

(a) 前記第1の検査回路の第1及び第2の検査電圧入出力端子に対応する前記第2のアナログスイッチをオンさせ、前記第1のアナログスイッチをオフさせるステップと、

(b) 前記第1の検査回路の第1の検査電圧入出力端子から入力した検査電圧が前記第1の検査回路の第2の検査電圧入出力端子から出力されるか否かを確認することにより、前記第1及び第2のアナログスイッチ間を接続する線の間の短絡を確認するステップと

を有する液晶表示装置の検査方法。

(付記15) 付記4記載の液晶表示装置の検査方法であって、

(a) 前記走査ラインドライバにより前記検査用トランジスタをオンさせるステップと、

(b) 前記検査電圧入出力端子を介して前記検査用トランジスタのドレイン又はソース端子に検査電圧を入力し、前記検査用トランジスタのソース又はドレイン端子に接続された容量に該検査電圧を充電させるステップと、

(c) 再度前記走査ラインドライバにより前記検査用トランジスタをオンさせるステップと、

(d) 前記容量に充電されている検査電圧が前記検査電圧入出力端子から出力されるか否かを確認するステップと
を有する液晶表示装置の検査方法。

(付記 1 6) 各々が画素電極を介して液晶容量に接続される複数の第 1 のスイッチング素子と、

前記第 1 のスイッチング素子にデータを供給するデータラインと、

前記第 1 のスイッチング素子を制御するための走査ラインと、

制御端子が前記データライン又は前記走査ラインに接続され、入出力端子の一端が共通の検査用入出力端子に接続され、他端が容量に接続される第 2 のスイッチング素子と

を有する液晶表示装置。

(付記 1 7) さらに、前記データラインにデータを供給するためのデータラインドライバ又はスイッチング素子を含むデータ供給回路と、

前記走査ラインに走査信号を供給するための走査信号供給回路と
を有する付記 1 6 記載の液晶表示装置。

(付記 1 8) 前記容量は、一端を前記第 2 のスイッチング素子に接続し、他端を共通接続することにより蓄積可能容量を増加させる付記 1 6 記載の液晶表示装置。

(付記 1 9) 前記第 2 のスイッチング素子は、前記他端が画素電極を介して液晶容量に接続される付記 1 6 記載の液晶表示装置。

(付記 2 0) 前記第 2 のスイッチング素子は、制御端子が前記データラインに接続されるスイッチング素子及び制御端子が前記走査ラインに接続されるス

スイッチング素子を含む付記 1 6 記載の液晶表示装置。

(付記 2 1) 前記第 2 のスイッチング素子は、前記一端が共通の検査用入出力用端子及び前記データラインに接続される付記 1 6 記載の液晶表示装置。

(付記 2 2) さらに、前記第 2 のスイッチング素子に接続される容量をリセット又はプリセットするための第 3 のスイッチング素子を有する付記 1 6 記載の液晶表示装置。

(付記 2 3) 前記第 2 のスイッチング素子は、液晶表示装置に液晶を封止するための封止部の内側に設けられる付記 1 6 記載の液晶表示装置。

(付記 2 4) 前記第 2 のスイッチング素子は、液晶表示装置に液晶を封止するための封止部の外側に設けられる付記 1 6 記載の液晶表示装置。

(付記 2 5) 前記データラインに接続されるスイッチング素子及び前記走査ラインに接続されるスイッチング素子は、共通の検査用入出力端子に接続される付記 2 0 記載の液晶表示装置。

(付記 2 6) 前記データラインに接続されるスイッチング素子及び前記走査ラインに接続されるスイッチング素子は、異なる検査用入出力端子に接続される付記 2 0 記載の液晶表示装置。

(付記 2 7) さらに、前記第 2 のスイッチング素子に対応する画素を遮光するための遮光部を有する付記 1 9 記載の液晶表示装置。

【 0 0 8 6 】

【発明の効果】

以上説明したように本発明によれば、液晶表示基板に第 1 及び第 2 の検査回路を設けることにより、液晶表示装置をユニット化する前に、データラインの断線、データラインの隣接ショート、走査ラインの断線、隣接画素間のショート、他の信号線とのショート等の検査を行うことができる。検査終了後に第 1 の検査回路を切り離すことで、液晶表示基板にデータドライバを接続することが可能になり、より低コストな液晶表示装置を提供することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態による液晶表示基板を示す図である。

【図 2】

第 1 の実施形態による第 1 の検査方法を示すタイミングチャートである。

【図 3】

第 1 の実施形態による第 2 の検査方法を示すタイミングチャートである。

【図 4】

第 1 の実施形態による液晶表示基板にデータドライバを接続した図である。

【図 5】

本発明の第 2 の実施形態による液晶表示基板を示す図である。

【図 6】

本発明の第 3 の実施形態による液晶表示基板を示す図である。

【図 7】

第 3 の実施形態による第 1 の検査方法を示すタイミングチャートである。

【図 8】

第 3 の実施形態による第 2 の検査方法を示すタイミングチャートである。

【図 9】

第 3 の実施形態による第 2 の検査方法を示す他のタイミングチャートである。

【図 1 0】

本発明の第 4 の実施形態による液晶表示基板を示す図である。

【図 1 1】

本発明の第 5 の実施形態による液晶表示基板を示す図である。

【図 1 2】

本発明の第 6 の実施形態による液晶表示基板を示す図である。

【図 1 3】

本発明の第 7 の実施形態による液晶表示基板を示す図である。

【図 1 4】

本発明の第 8 の実施形態による液晶表示基板を示す図である。

【図 1 5】

本発明の第 9 の実施形態による液晶表示基板を示す図である。

【図 1 6】

本発明の第 1 0 の実施形態による液晶表示基板を示す図である。

【図 1 7】

本発明の第 1 1 の実施形態による液晶表示基板を示す図である。

【図 1 8】

本発明の第 1 2 の実施形態による液晶表示基板を示す図である。

【図 1 9】

本発明の第 1 3 の実施形態による液晶表示基板を示す図である。

【図 2 0】

本発明の第 1 4 の実施形態による液晶表示基板を示す図である。

【図 2 1】

本発明の第 1 5 の実施形態による液晶表示基板を示す図である。

【図 2 2】

本発明の第 1 6 の実施形態による液晶表示基板を示す図である。

【図 2 3】

本発明の第 1 7 の実施形態による液晶表示装置を示す図である。

【図 2 4】

本発明の第 1 8 の実施形態による液晶表示装置を示す図である。

【図 2 5】

本発明の第 1 9 の実施形態による液晶表示装置を示す図である。

【図 2 6】

従来技術による液晶表示基板を示す図である。

【図 2 7】

従来技術による他の液晶表示基板を示す図である。

【符号の説明】

- 1 T F T
- 2 液晶容量
- 3 データライン
- 4 ゲートライン
- 5 データドライバ

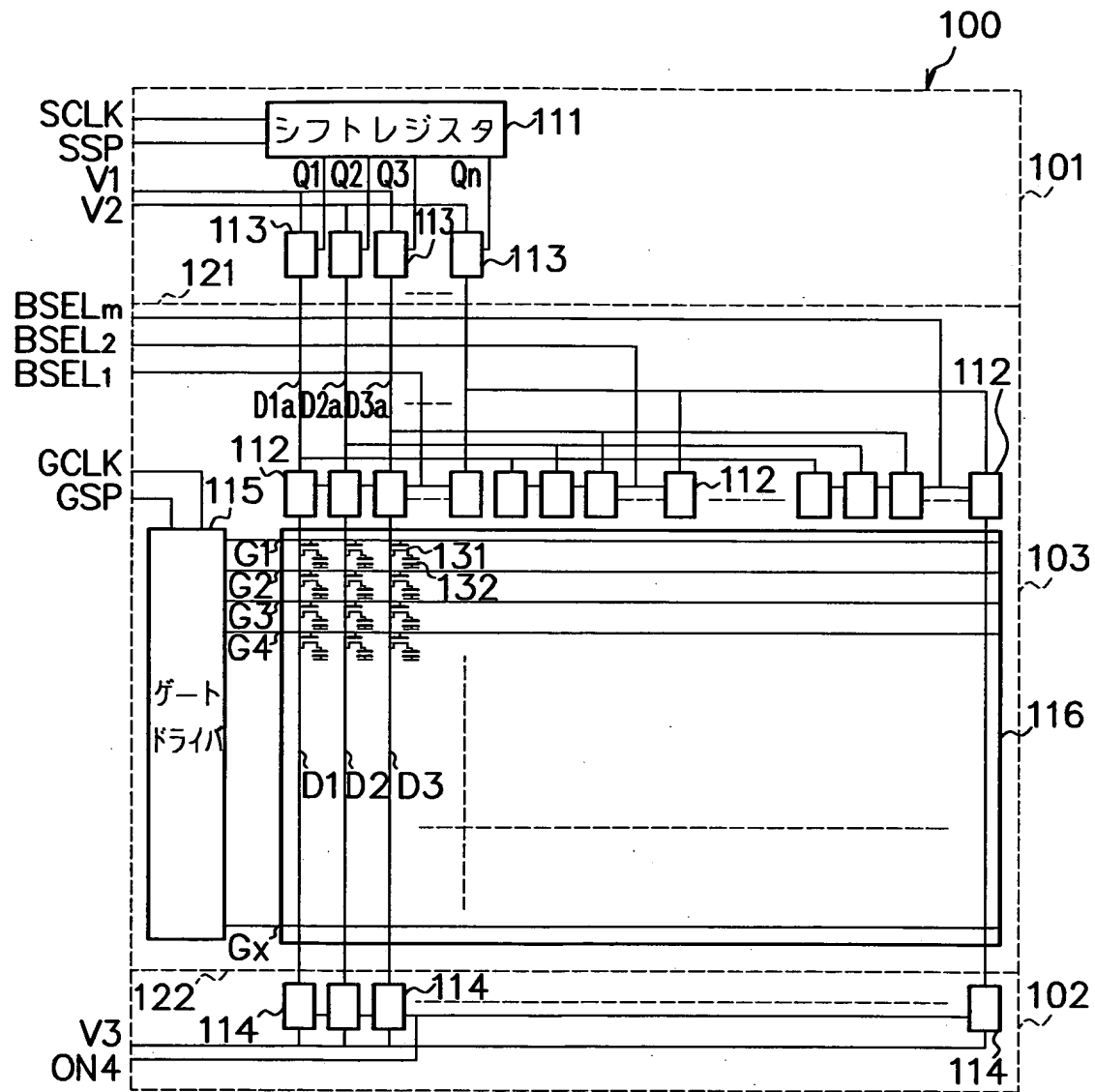
- 6 ゲートドライバ
- 7 画素領域
- 8 対向電極
- 9 検査用スイッチング素子
- 10 検査端子
- 11 リセットスイッチ
- 12 オン／オフ信号端子
- 13 リセットデータ入力端子
- 15 検査画素
- 16 検査スイッチ
- 17 検査端子
- 20 封止部
- 21 遮光領域
- 30 容量
- 31, 32 バッファ
- 33 インバータ
- 34 端子
- 41, 43 インバータ
- 42, 44 端子
- 51, 52, 53, 54 基板
- 100 液晶表示基板
- 101 第1の検査回路
- 102 第2の検査回路
- 103 表示回路
- 111 シフトレジスタ
- 112, 113, 114 アナログスイッチ
- 115 ゲートドライバ
- 116 画素領域
- 121, 122 切断ライン

131 TFT
132 液晶容量
401 データドライバ
601 トランジスタ
602 容量
900 液晶表示基板
911 シフトレジスタ
912 アナログスイッチ
915 ゲートドライバ
916 画素領域
931 TFT
932 液晶容量

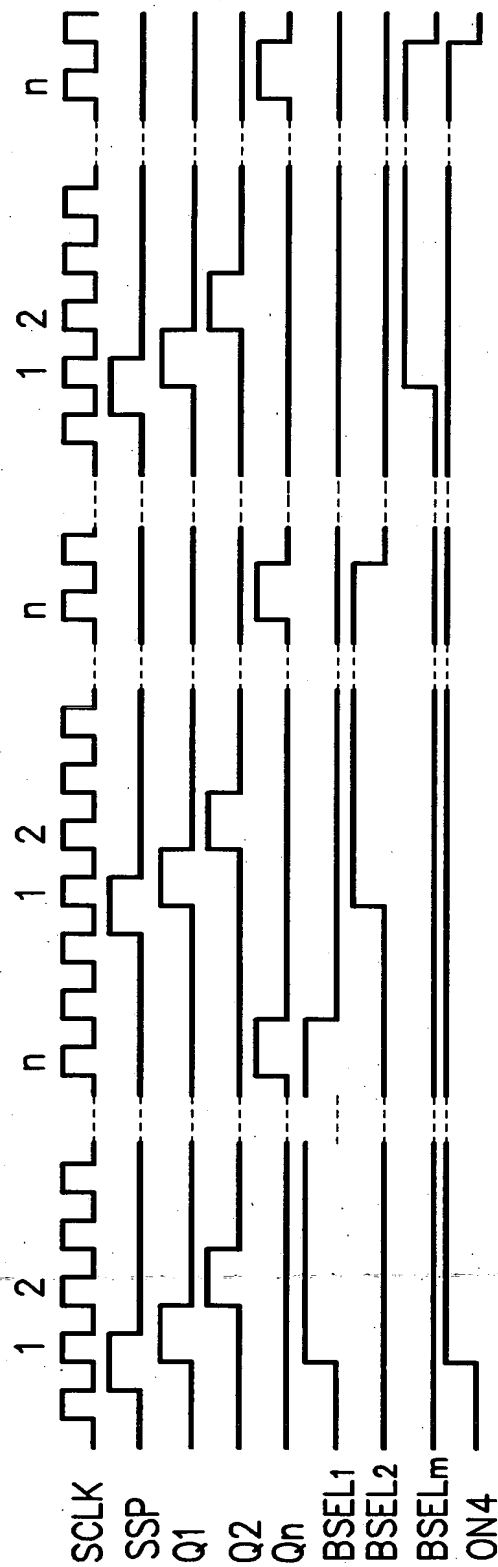
【書類名】 図面

【図 1】

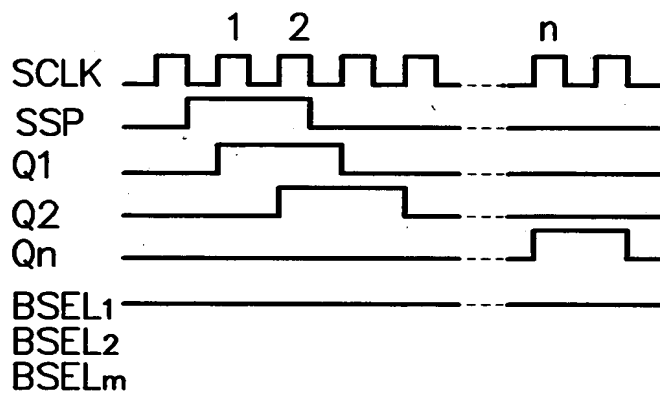
第 1 の実施形態



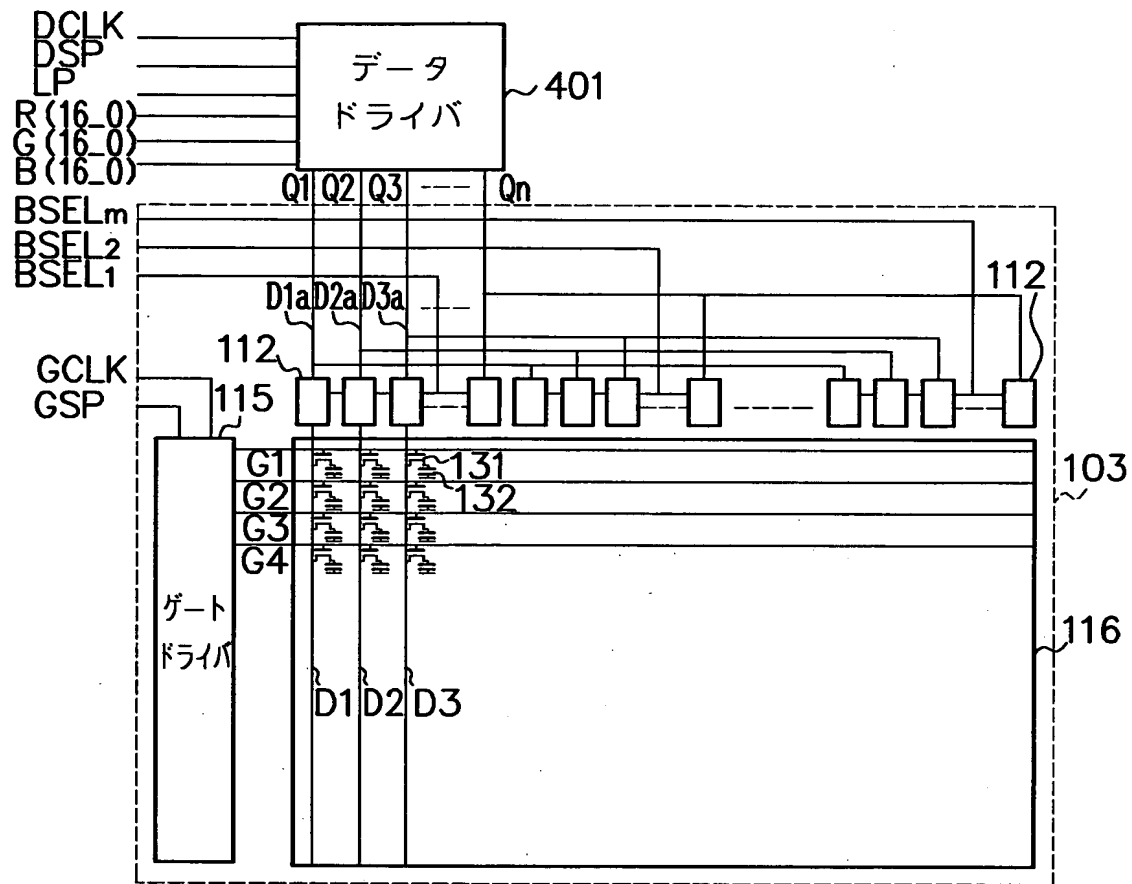
【図 2】



【図 3】

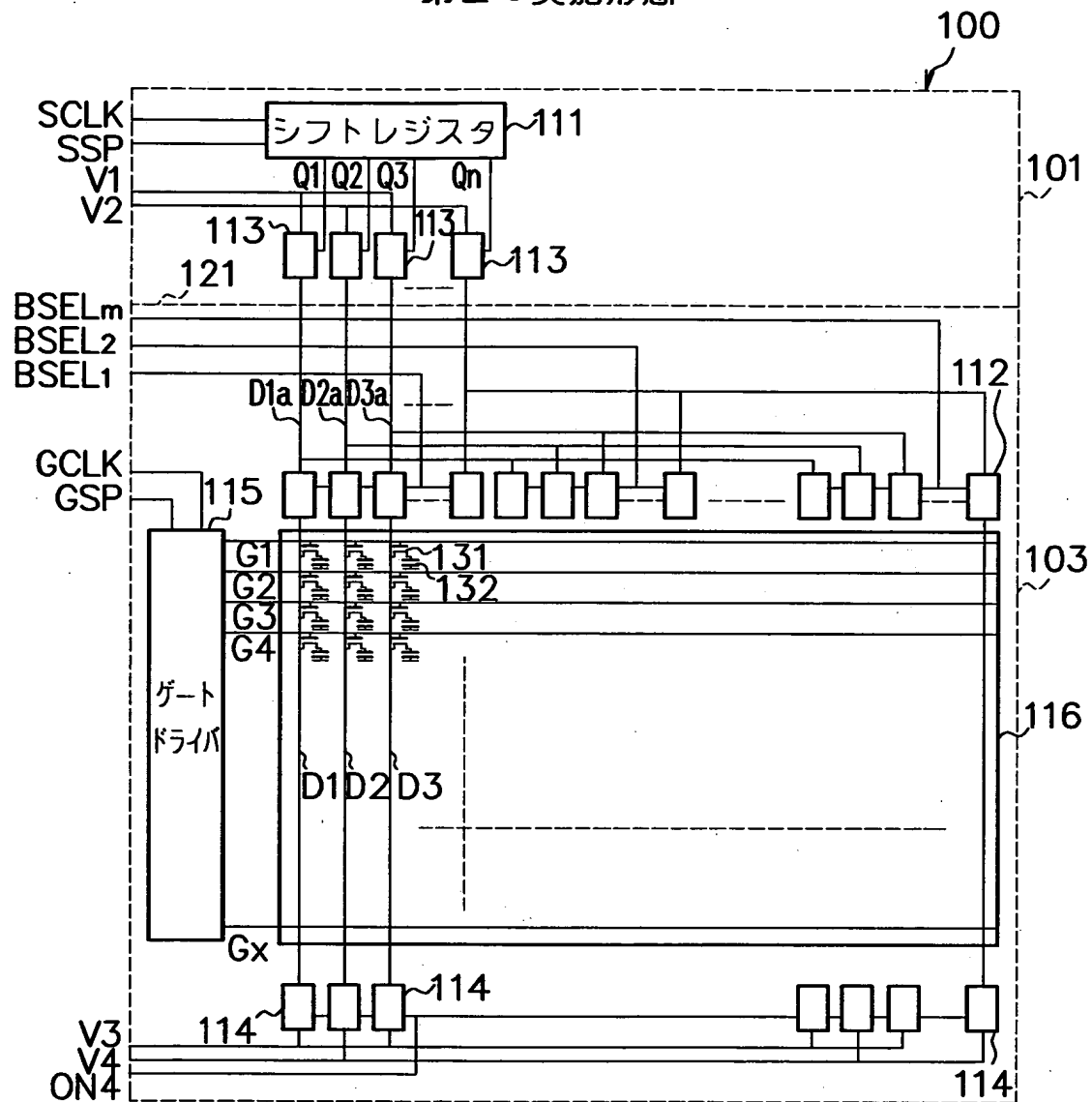


【図 4】

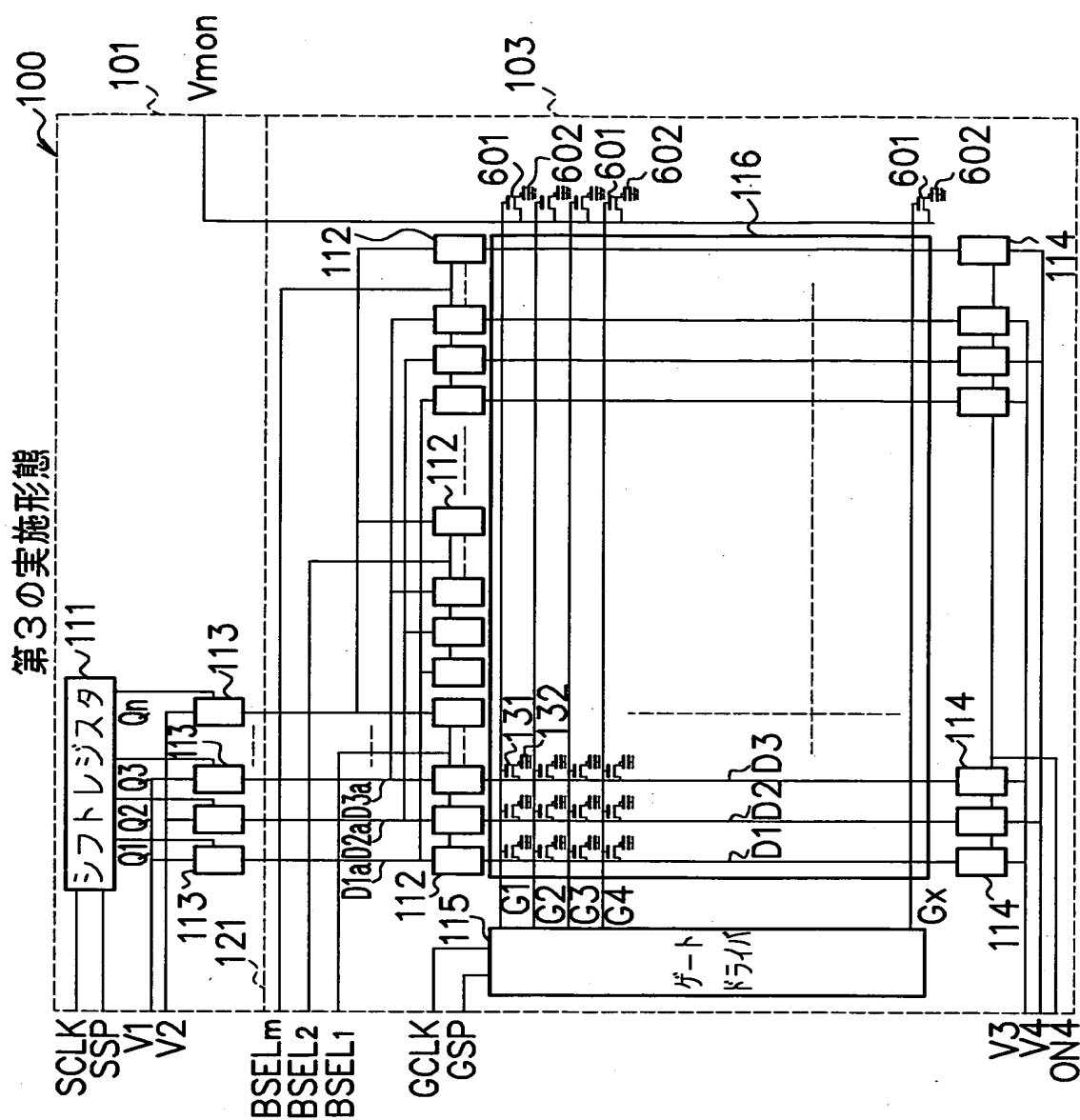


【図5】

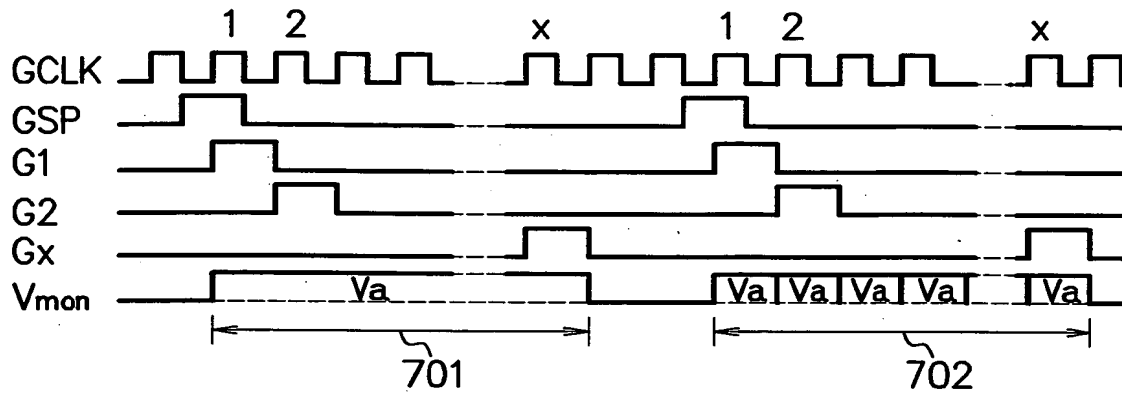
第2の実施形態



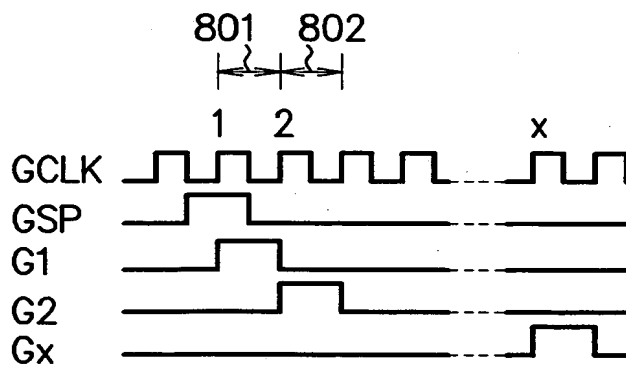
【図 6】



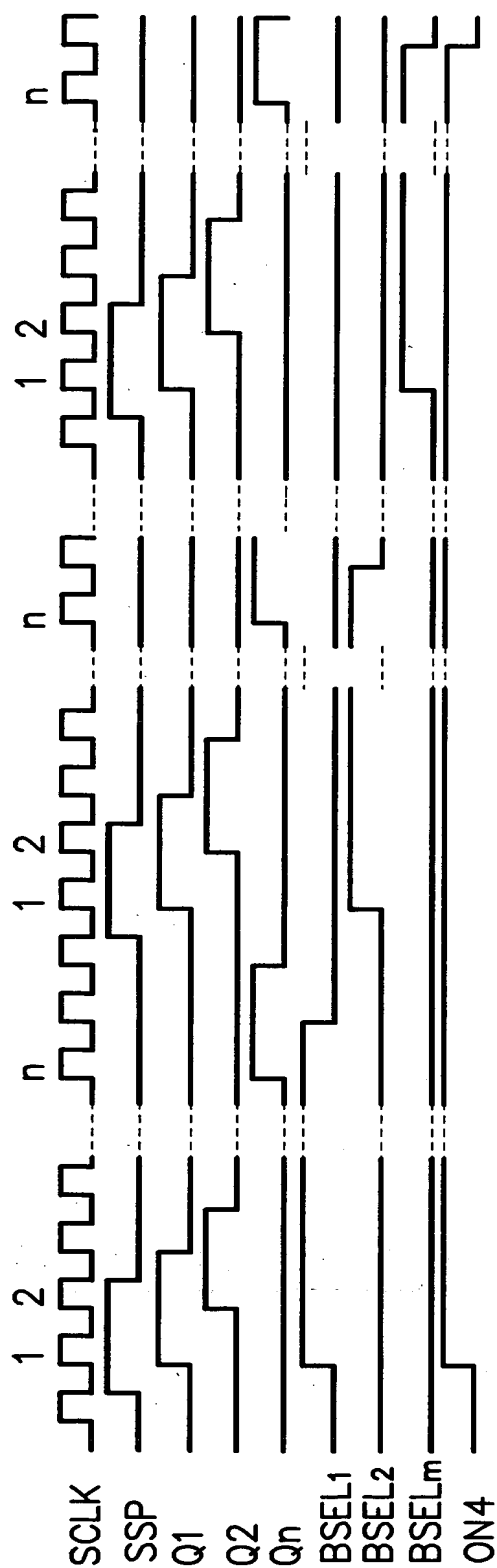
【図 7】



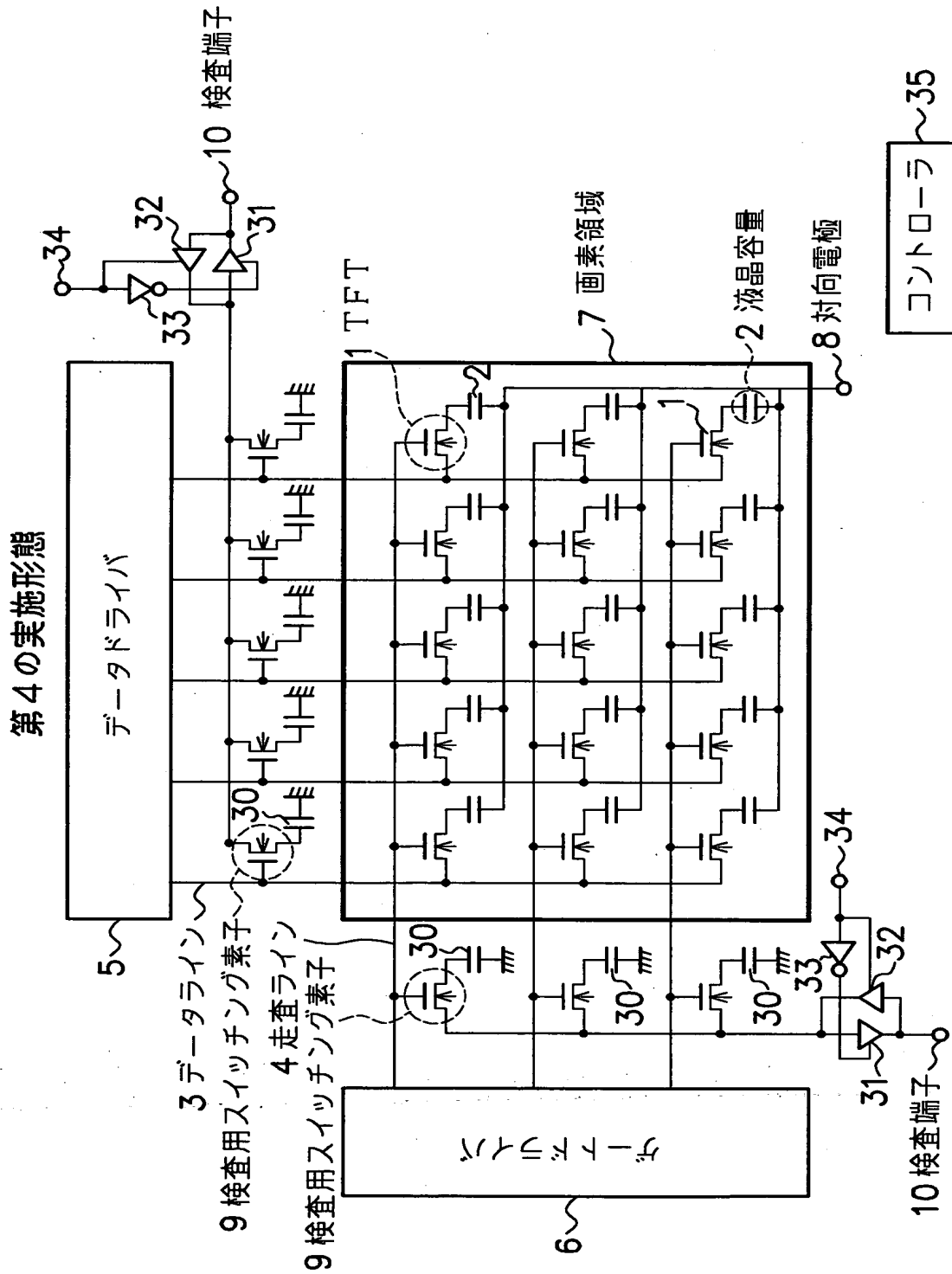
【図 8】



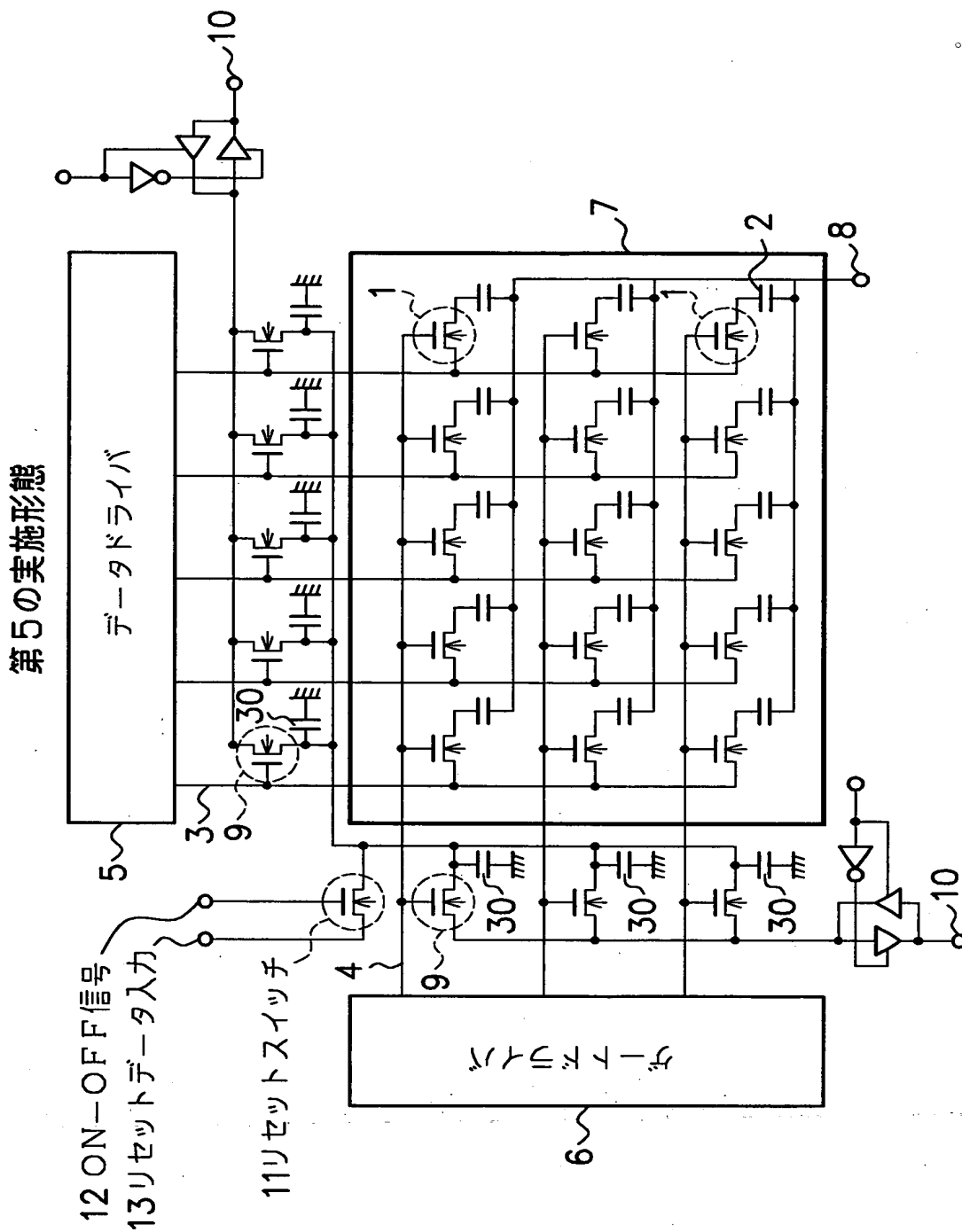
【図9】



【図 10】

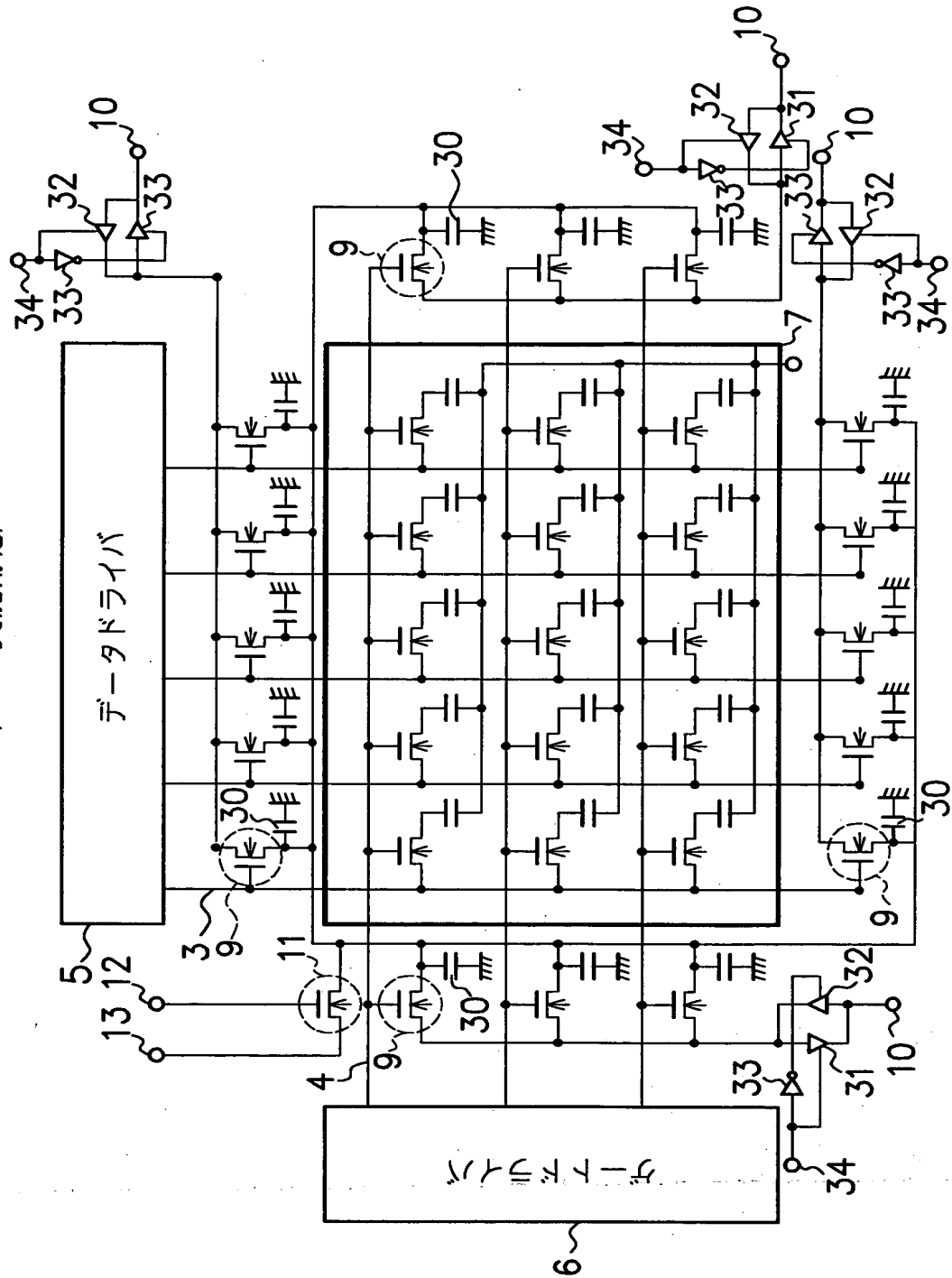


【図 11】

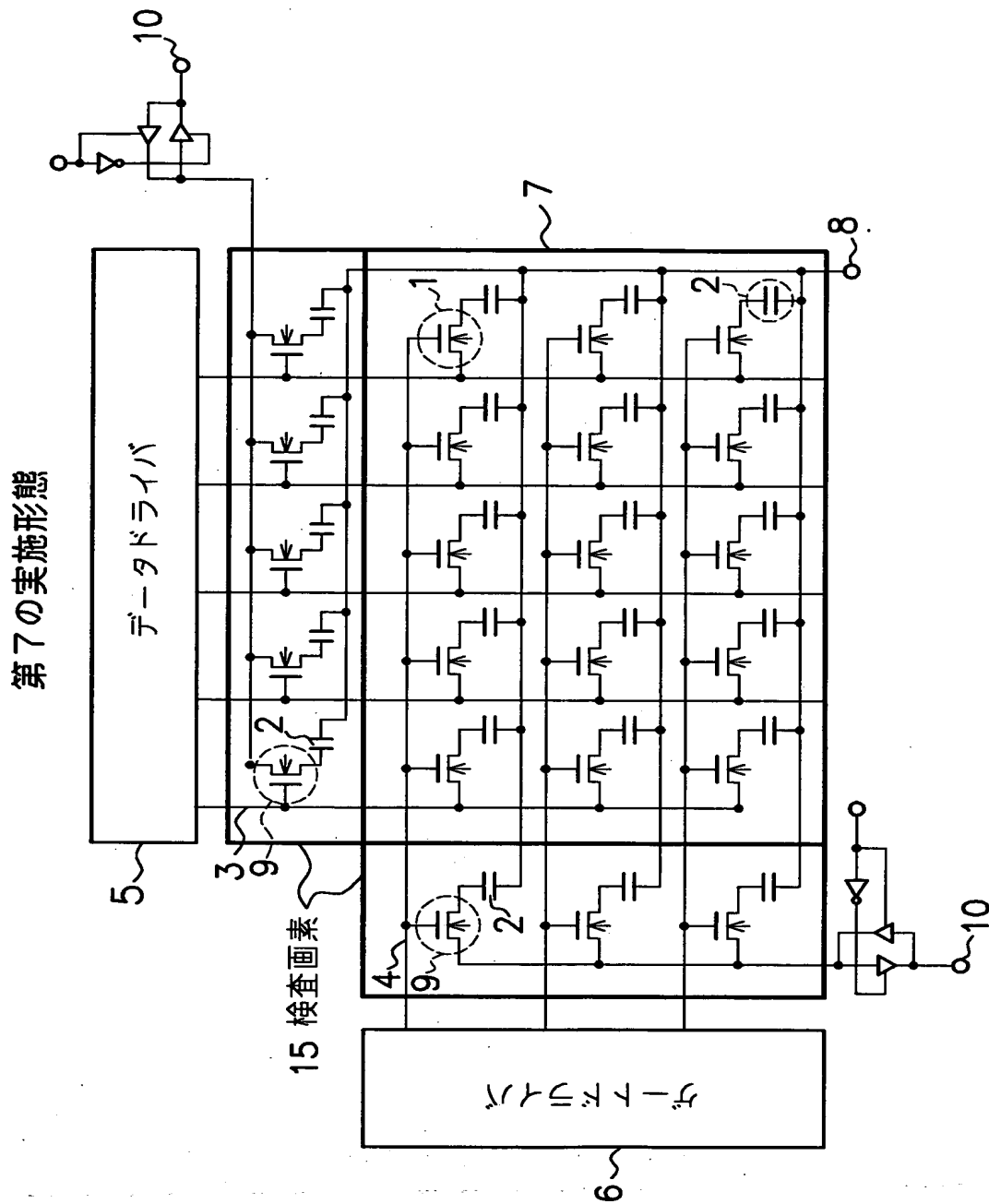


【図12】

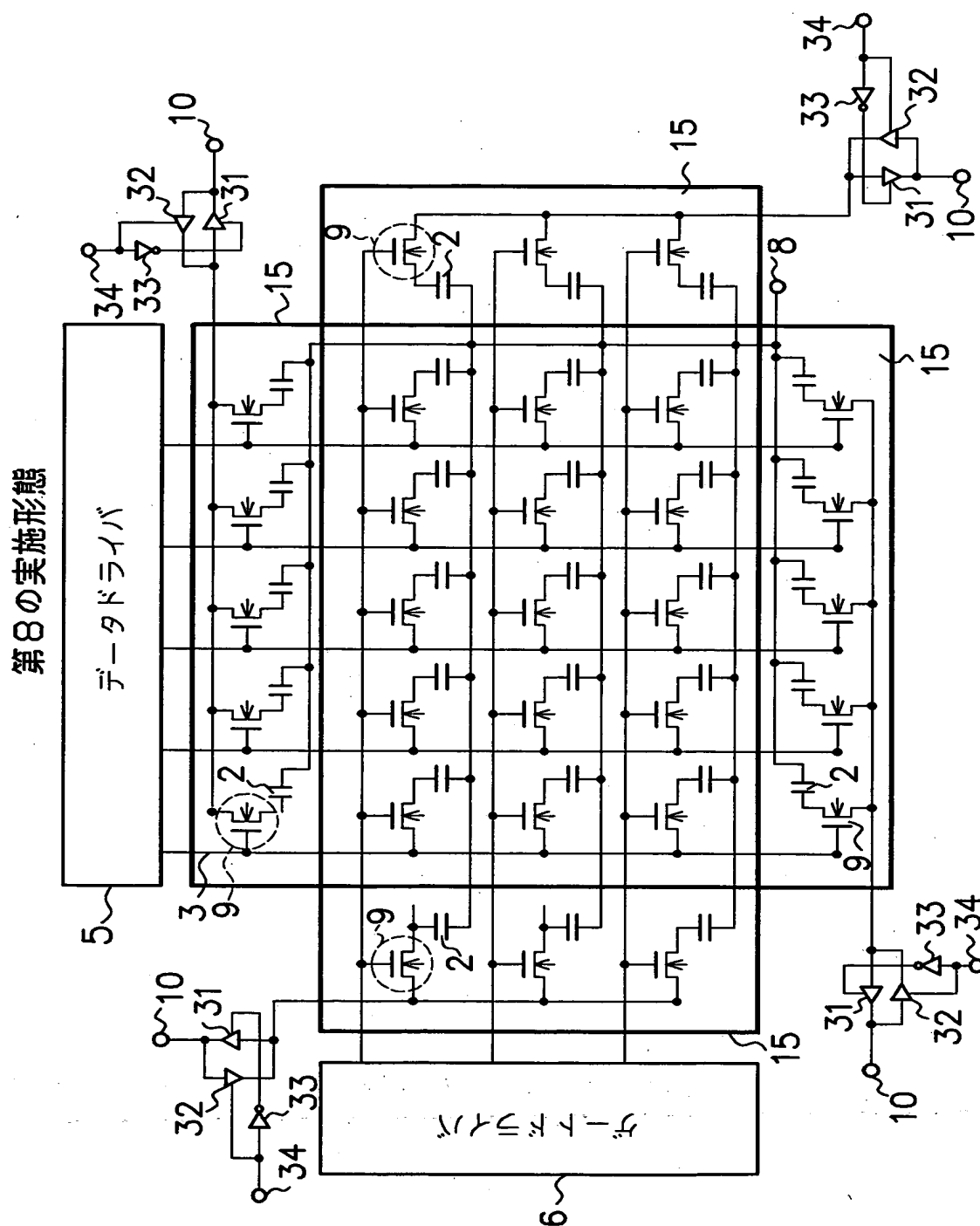
第6の実施形態



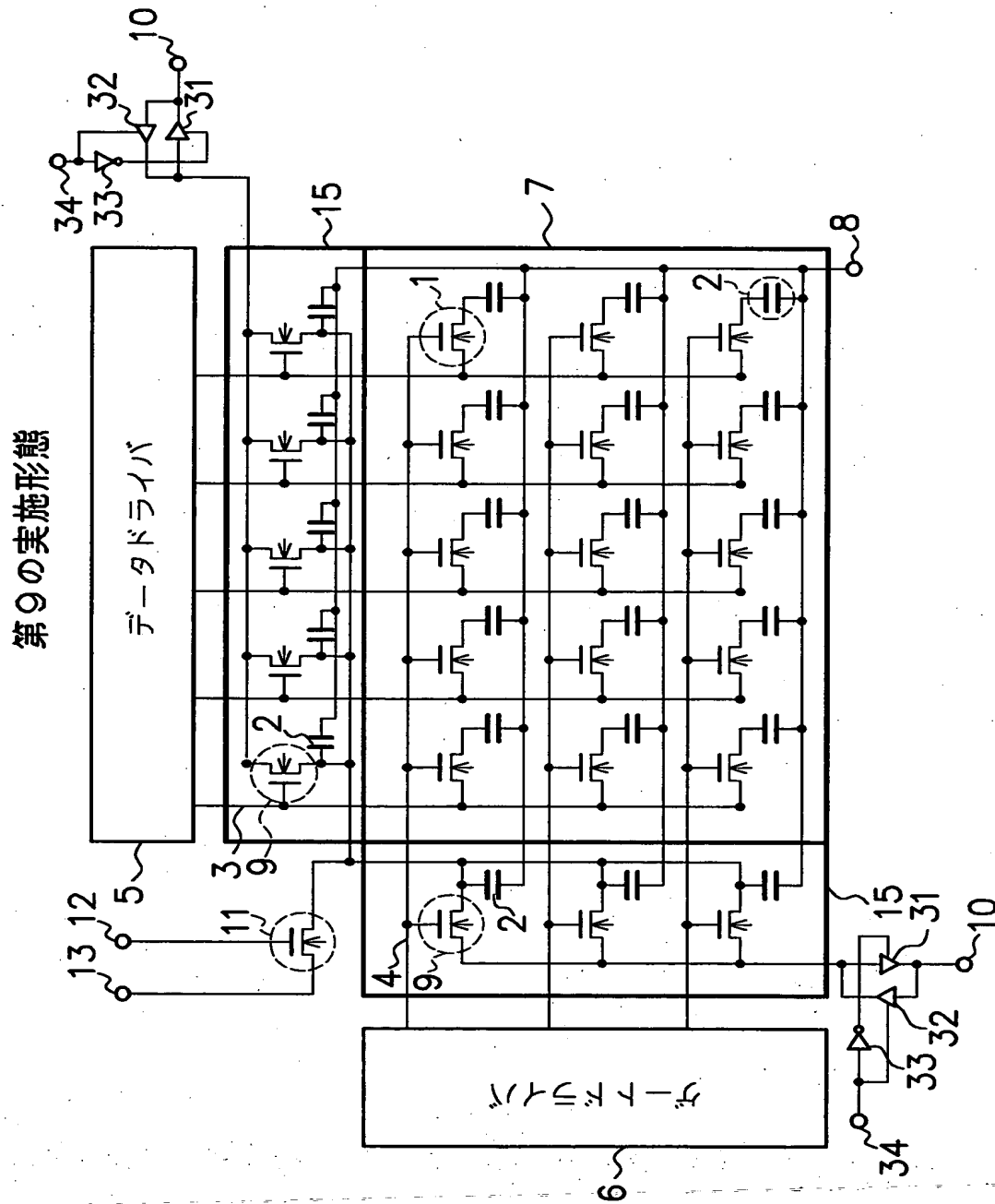
【図13】



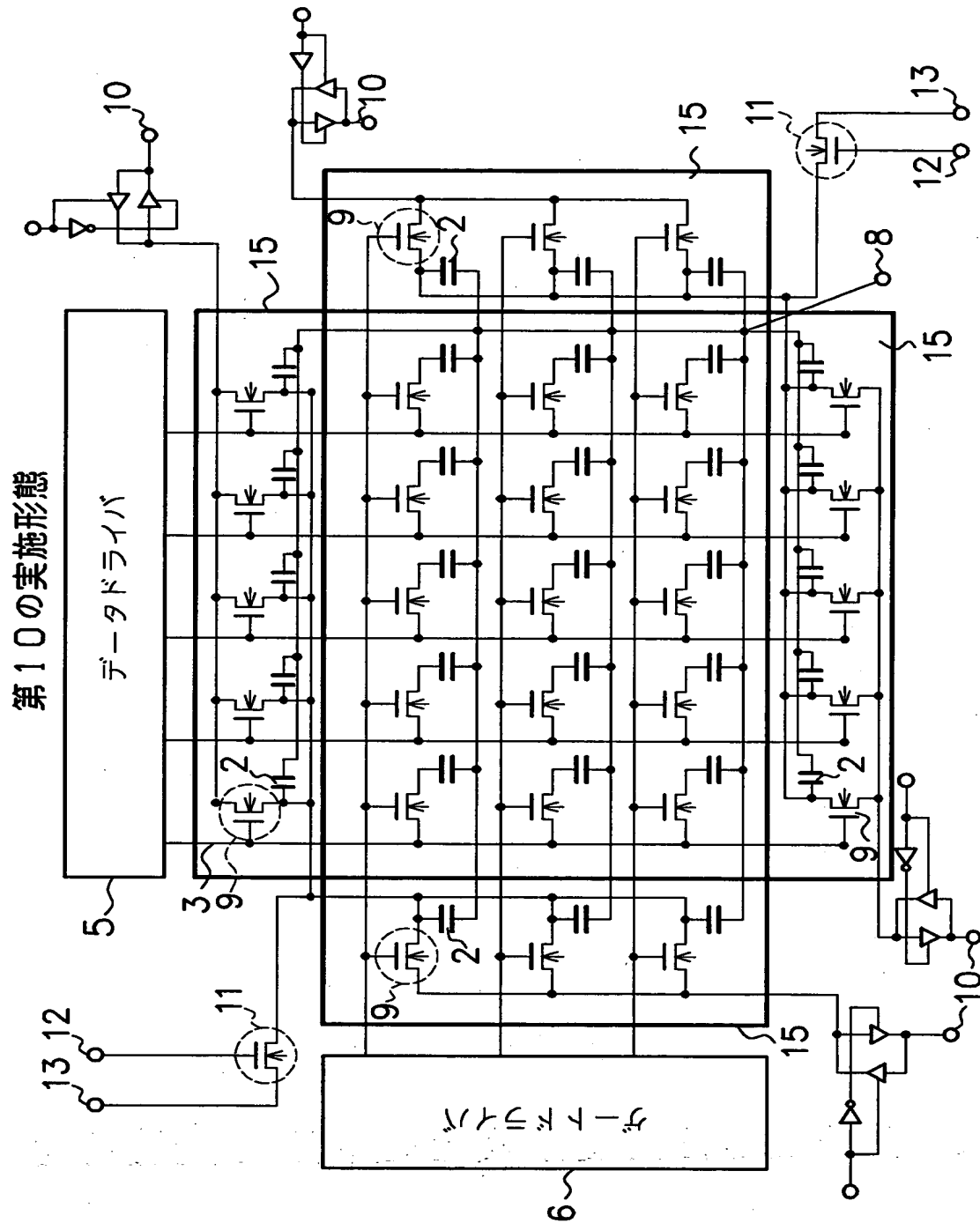
【図 14】



【図15】

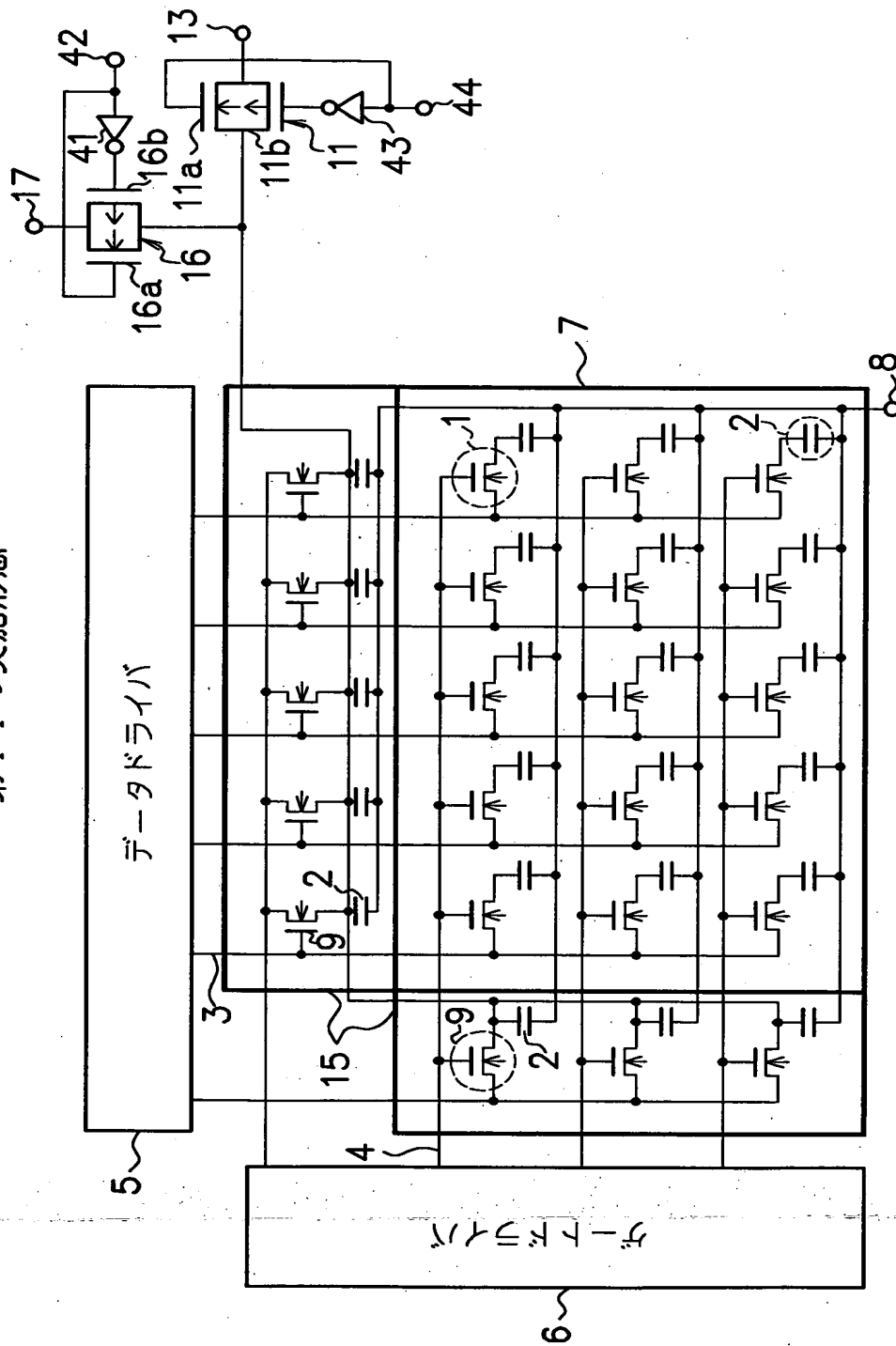


【図 16】

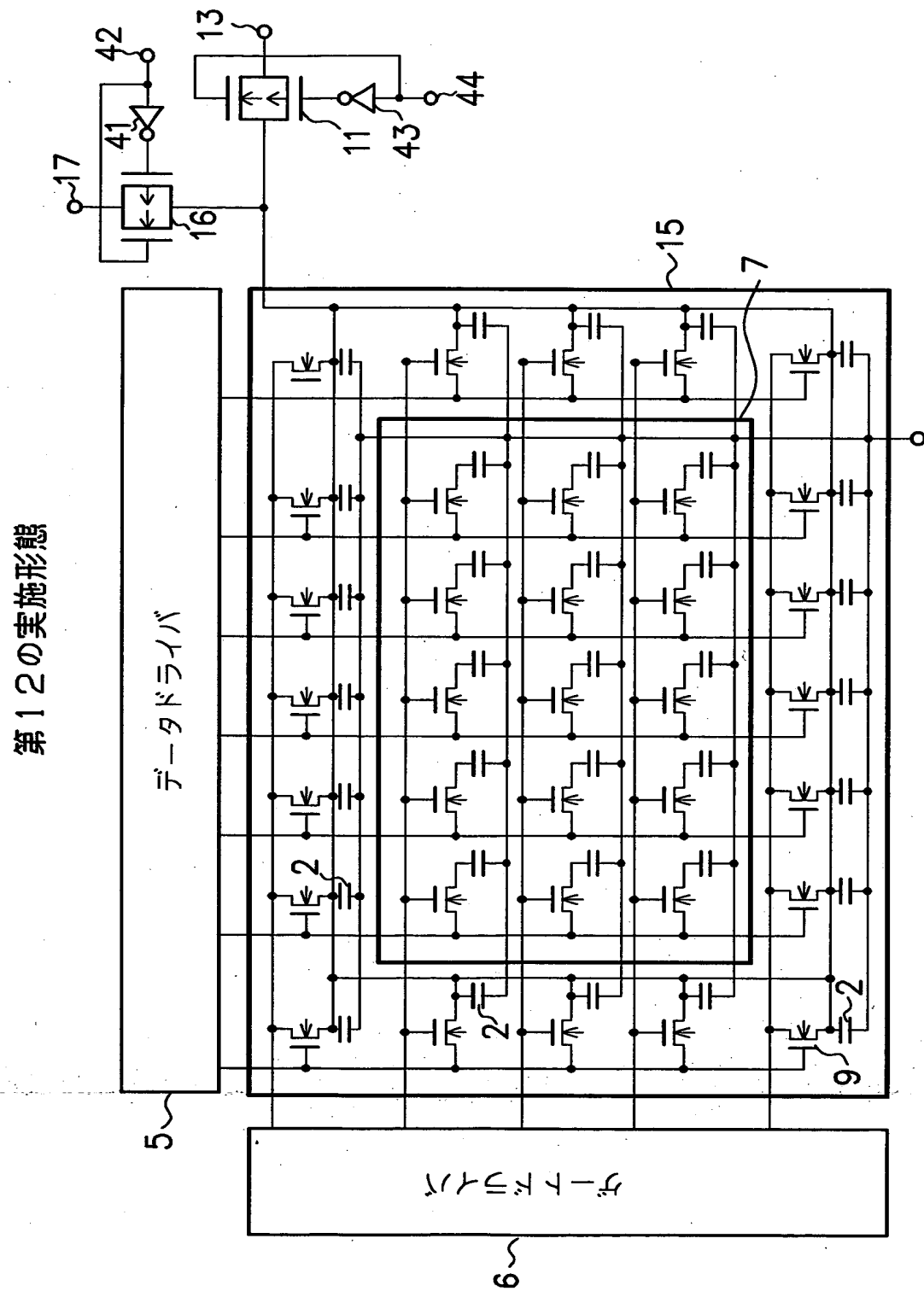


【図17】

第11の実施形態

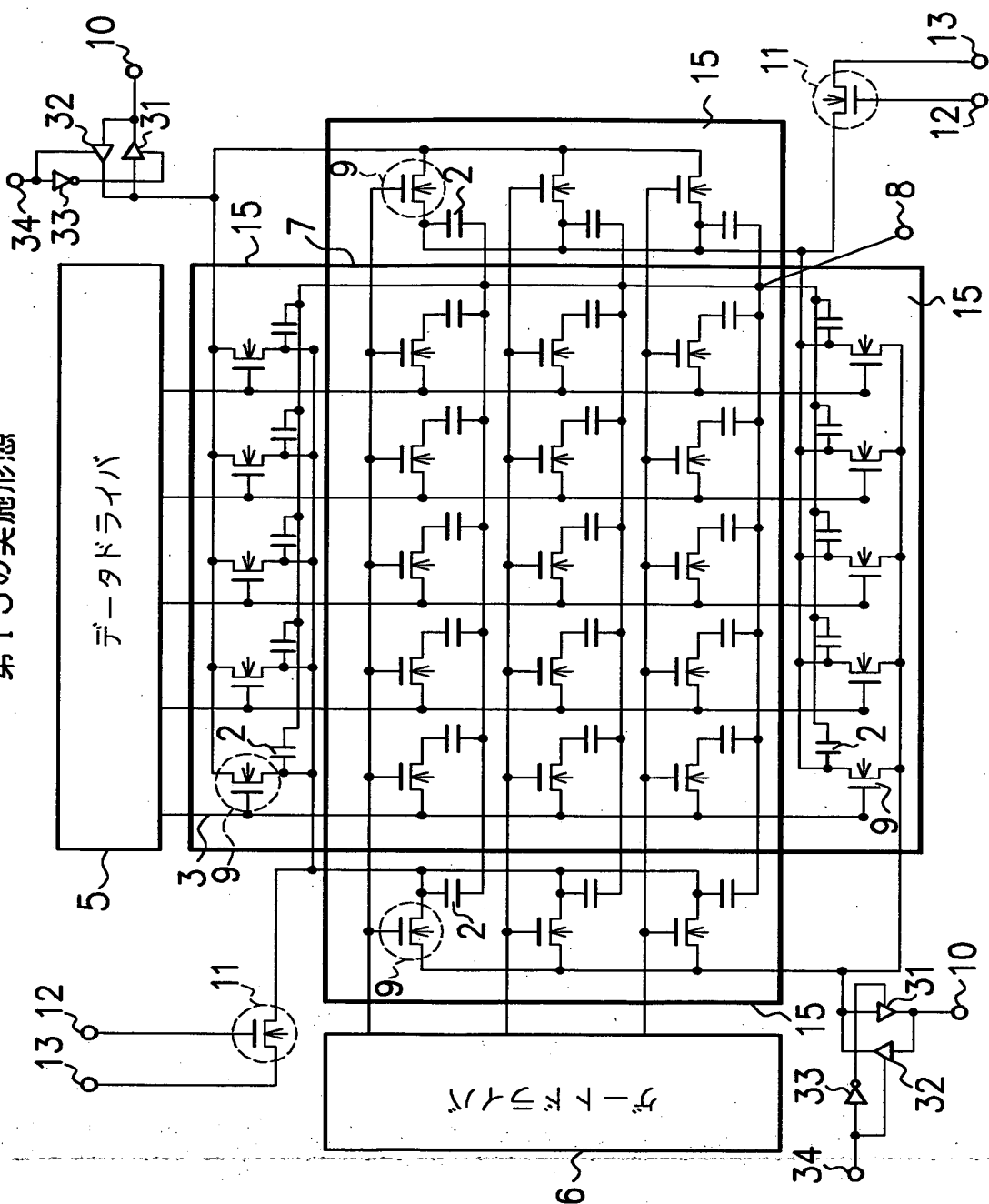


【図 18】



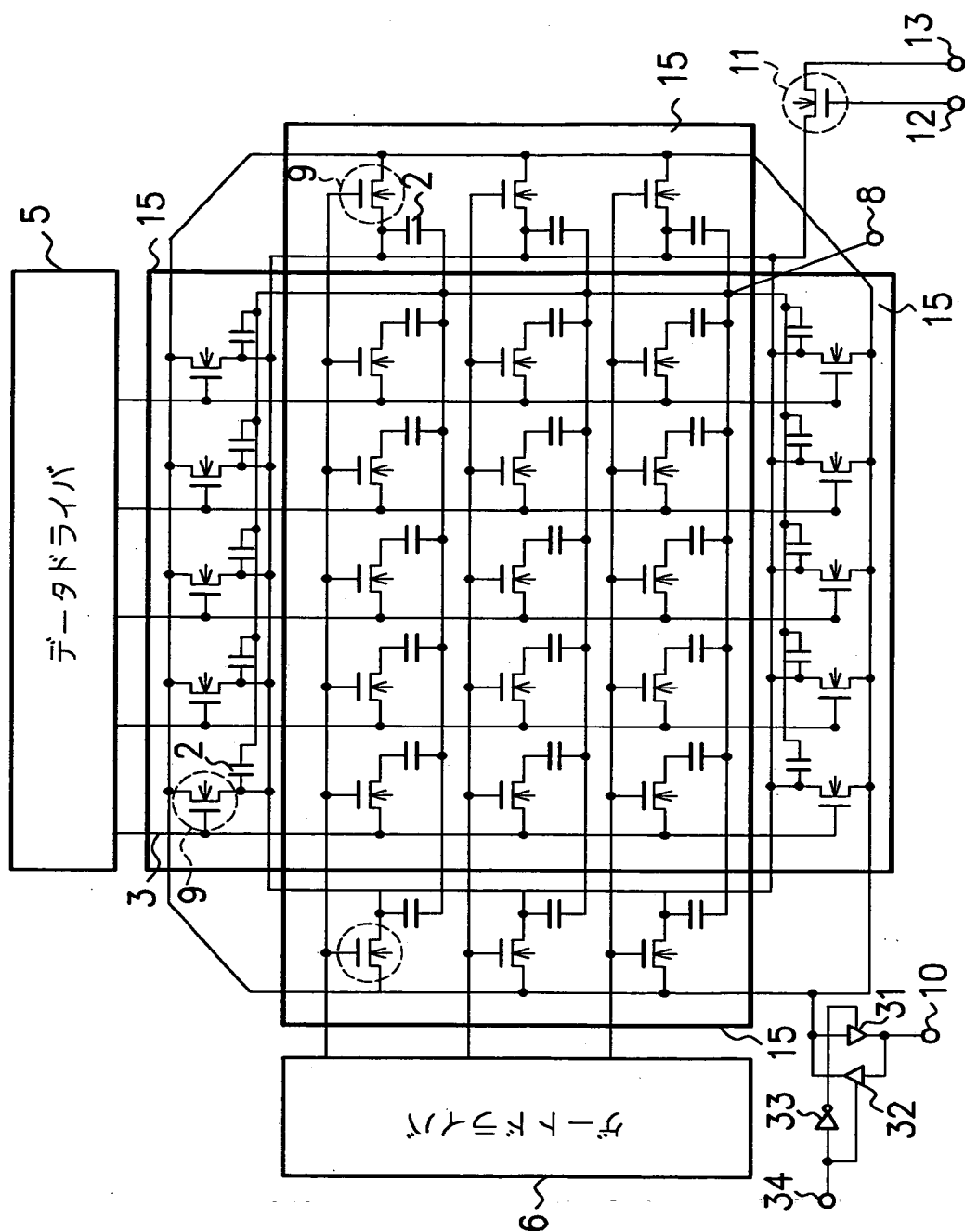
【図19】

第13の実施形態



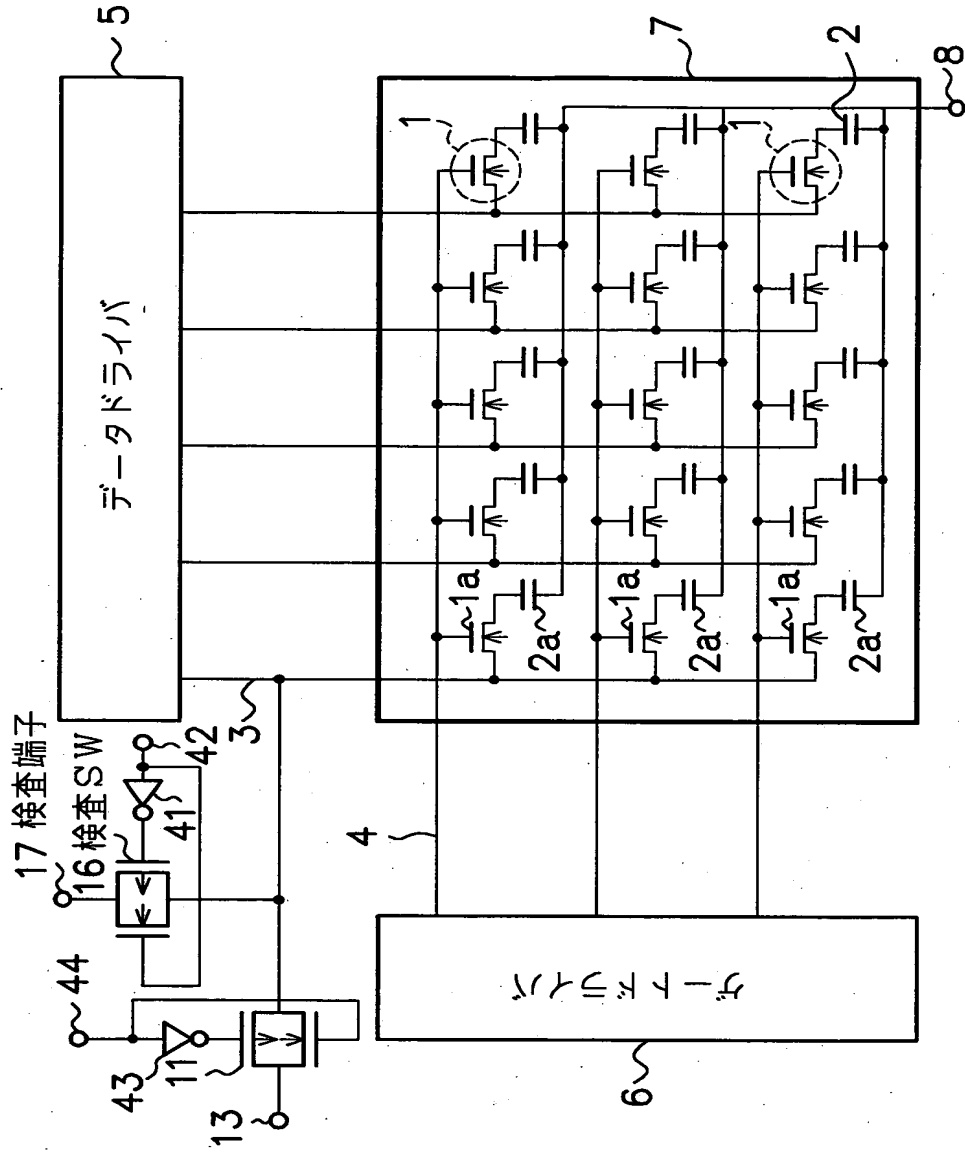
【図20】

第14の実施形態



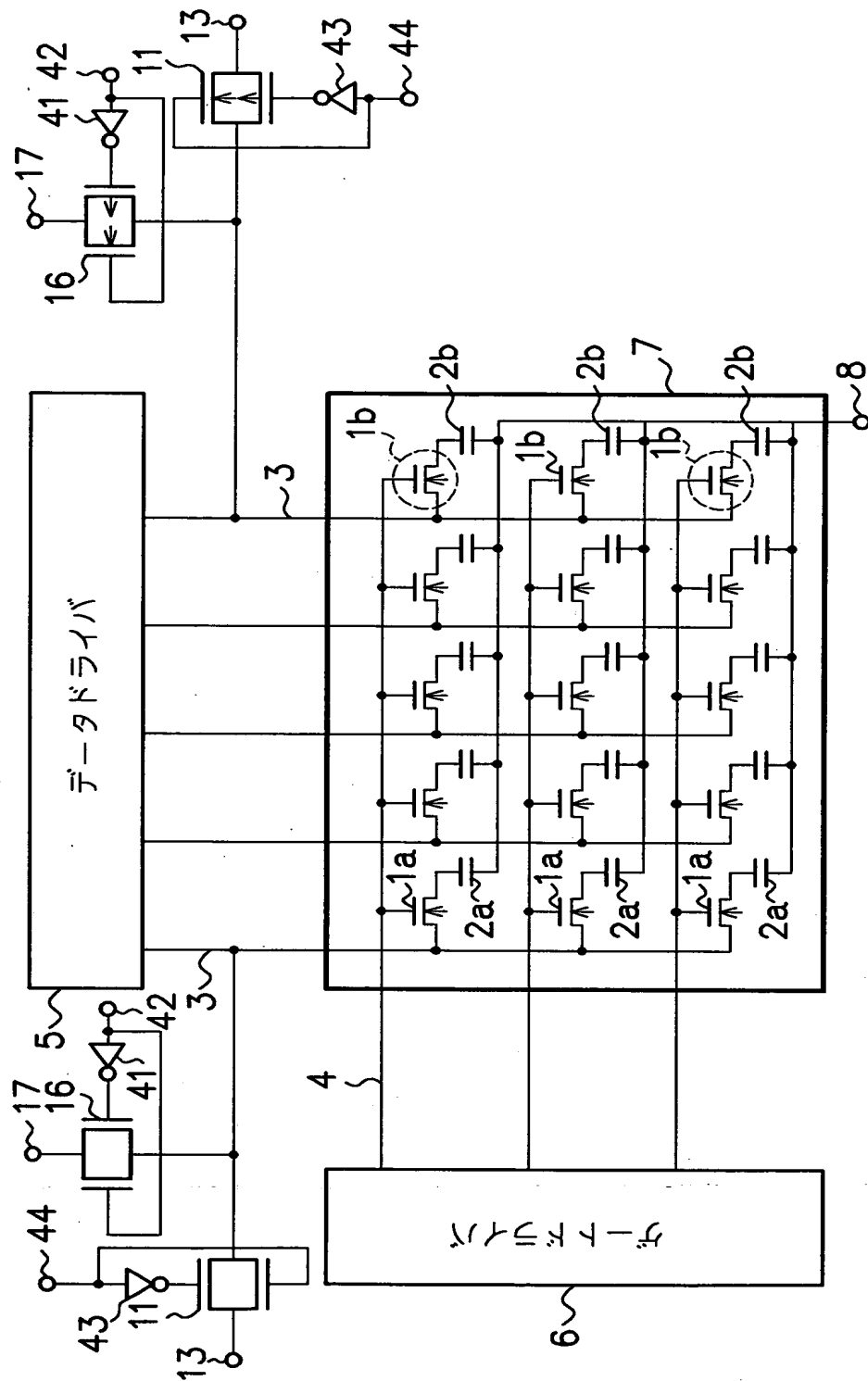
【図 21】

第15の実施形態

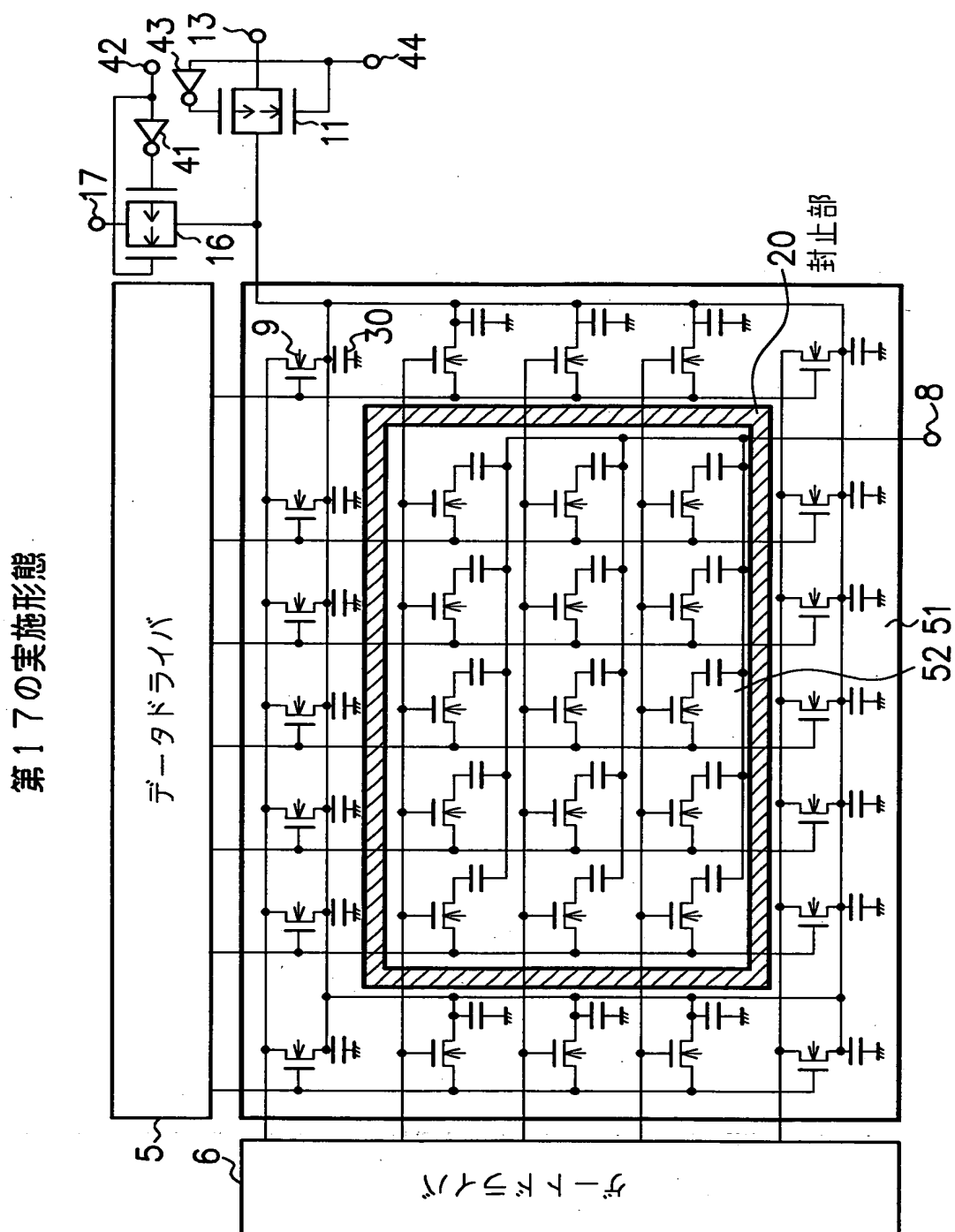


【図 22】

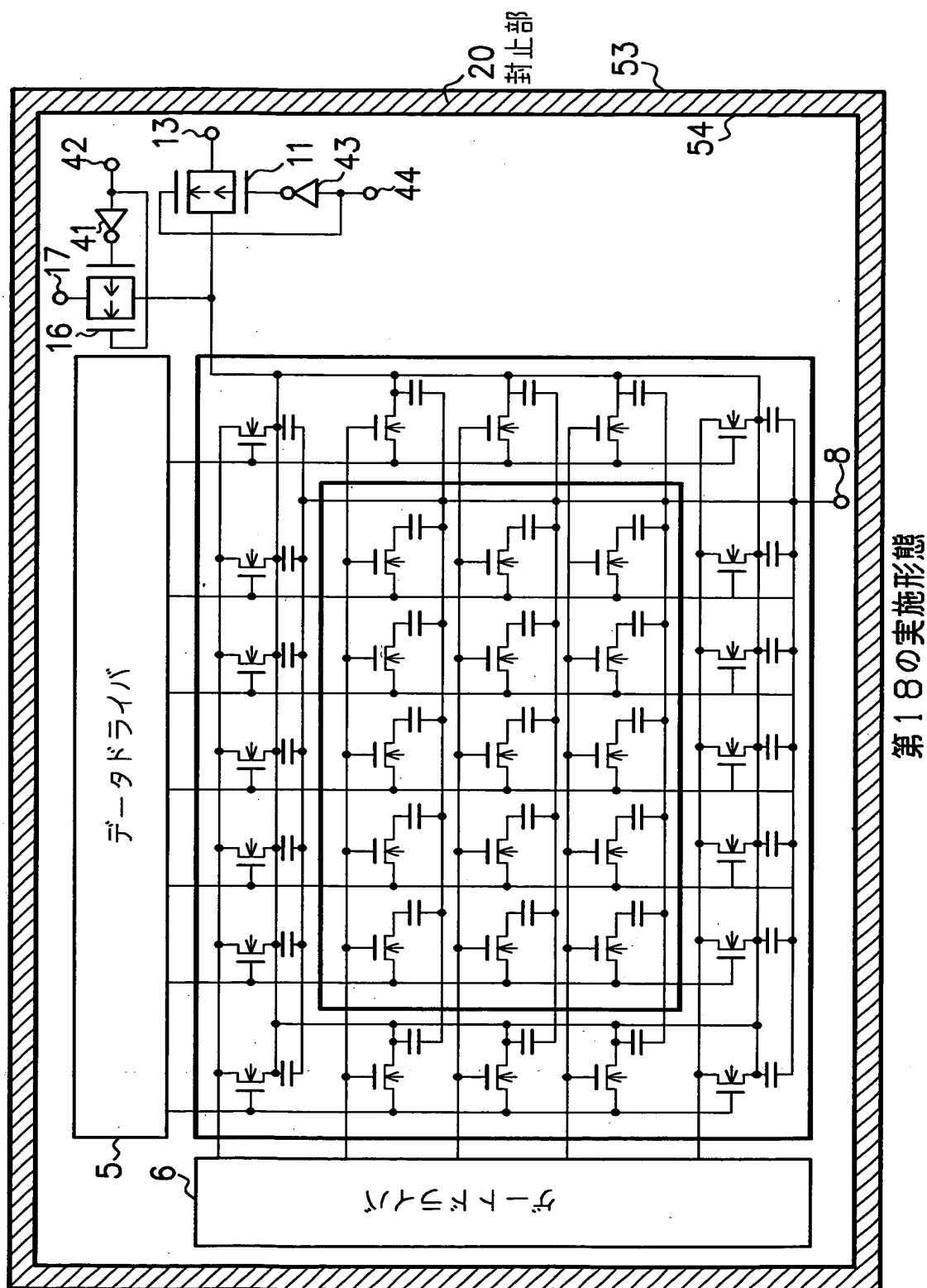
第 16 の実施形態



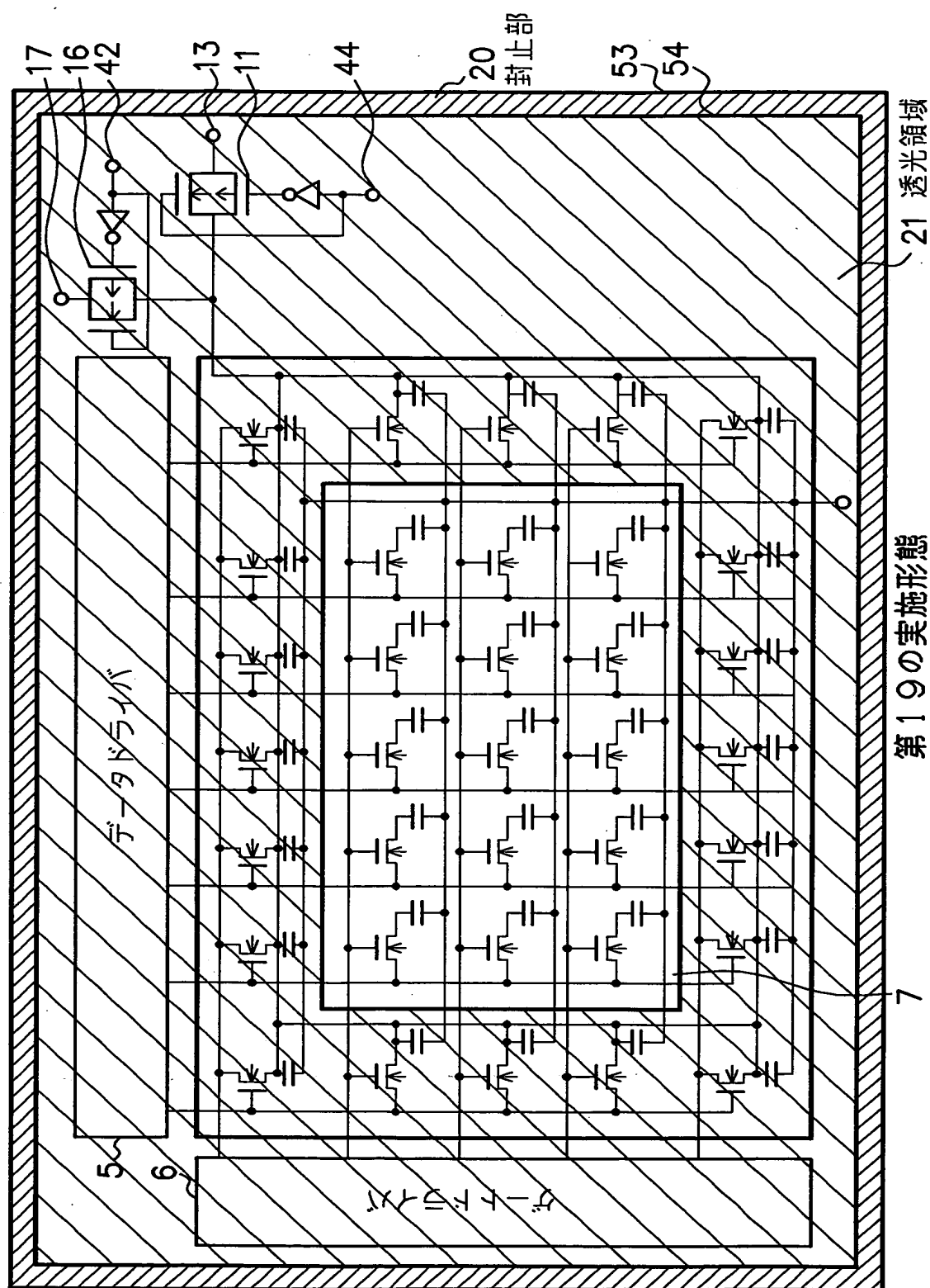
【図 23】



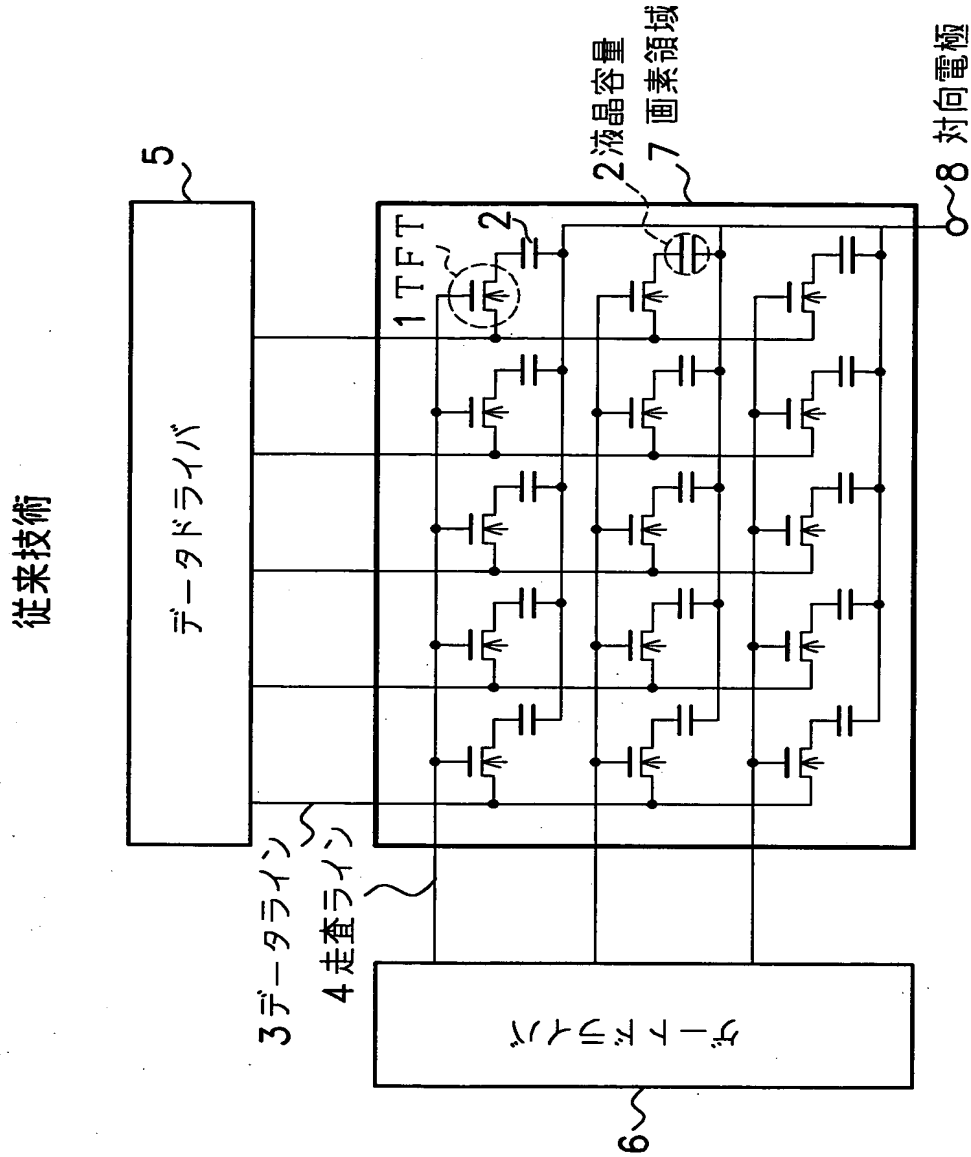
【図24】



【図25】

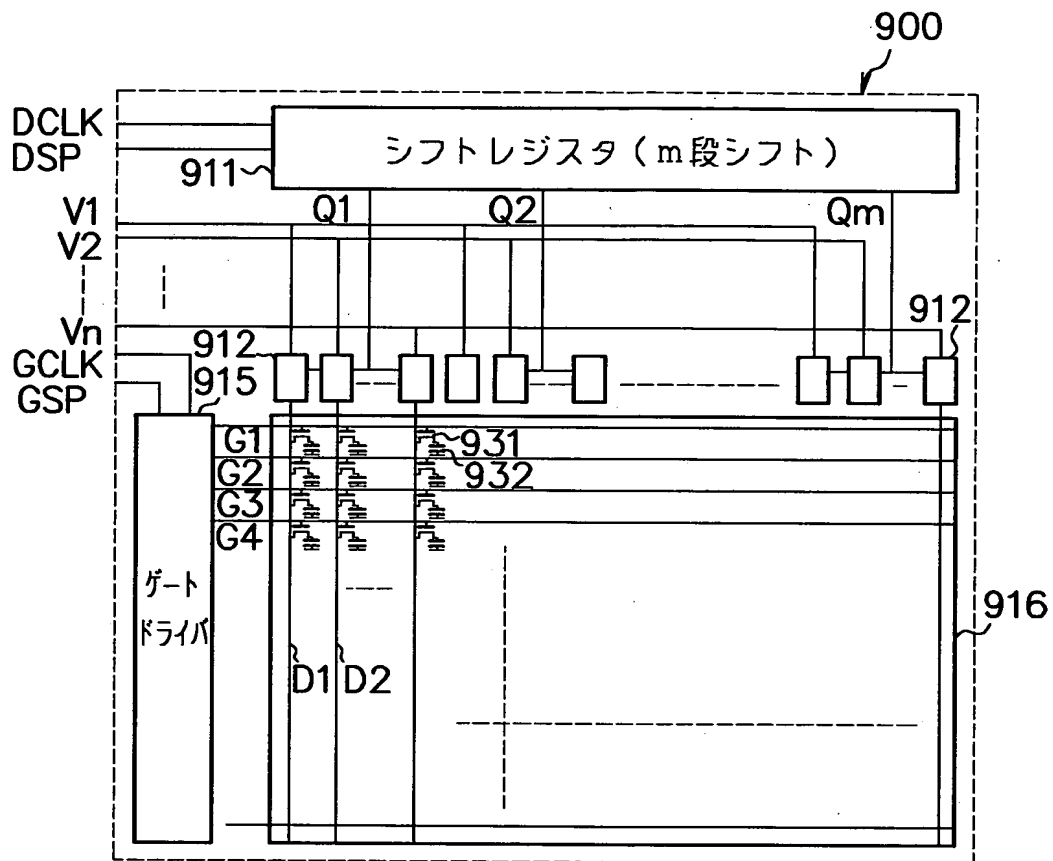


【図 26】



【図 27】

従来技術



【書類名】 要約書

【要約】

【課題】 簡単かつ短時間で検査を行うことができる液晶表示装置を提供することを課題とする。

【解決手段】 本発明の液晶表示装置は、2次元マトリクス状に配線されたデータライン及び走査ラインと該データライン及び走査ライン間に接続されるスイッチング素子とを含む表示回路（103）と、データラインの一端に第1のアナログスイッチを介して検査電圧を入力及び／又は出力するための検査電圧入力及び／又は出力端子を含む第1の検査回路（101）と、データラインの他端に検査電圧を入力及び／又は出力するための検査電圧入力及び／又は出力端子を含む第2の検査回路（102）とを有する。この表示回路、第1の検査回路及び第2の検査回路は1枚の基板上に設けられ、第1の検査回路は表示回路に対して切り離し可能である。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社